

CONTENIDO



UNIVERSIDAD NACIONAL DEL ENTRE RÍOS
FACULTAD DE INGENIERÍA
CENTRO DE MEDIOS
BIBLIOTECA

4 1 7 6 =

Prólogo	11
Capítulo 1	
ANÁLISIS DE PUERTAS LÓGICAS	13
Introducción: la Electrónica Digital y sus aplicaciones	13
1.1. Análisis de una puerta inversora	15
1.1.1. Estudio del circuito	16
1.1.2. Álgebra de Boole y circuitos digitales. Niveles lógicos	16
1.2. Análisis de una puerta O (OR)	19
1.2.1. Estudio del circuito	19
1.3. Análisis de una puerta Y (AND)	20
1.3.1. Estudio del circuito	20
1.4. Análisis de una puerta NO O (NOR) ...	21
1.4.1. Estudio del circuito	22
1.5. Análisis de una puerta NO Y (NAND) .	22
1.5.1. Estudio del circuito	23
1.6. Análisis de una puerta O exclusiva (<i>exclusive OR</i>)	23
1.6.1. Estudio del circuito	24
1.7. Análisis de funciones complejas formadas por un conjunto de puertas de distinto tipo	24
1.8. Circuitos integrados que contienen puertas lógicas	25
1.8.1. Constitución de los circuitos integrados que contienen puertas lógicas	25
1.8.2. Escalas de integración de los circuitos lógicos	25
1.8.3. Características generales de las puertas integradas	27
Ejercicios propuestos	30
Actividades complementarias	31

Capítulo 2	
DISEÑO CON PUERTAS LÓGICAS INTEGRADAS	32
Introducción	32
2.1. Primer caso de diseño y resolución ...	33
2.1.1. Proceso de diseño	33
2.1.2. Forma canónica de una función lógica	35
2.2. Segundo caso de diseño y resolución ...	35
2.2.1. Postulados, propiedades y teoremas que permiten simplificar funciones lógicas	35
2.2.2. Proceso de diseño	37
2.3. Tercer caso de diseño y resolución ...	39
2.3.1. Proceso de diseño	40
2.3.2. Conversión de una expresión cualquiera a forma canónica	45
2.3.3. El método de Karnaugh para más de cuatro variables	46
2.4. Cuarto caso de diseño y resolución ...	47
2.4.1. Proceso de diseño	47
2.4.2. Los dispositivos NAND y NOR como puertas universales	49
Ejercicios propuestos	50
Actividades complementarias	51
Capítulo 3	
ANÁLISIS DE CIRCUITOS COMBINACIONALES MSI	52
Introducción: propiedades de los circuitos combinacionales	52
3.1. Sistema binario y códigos	53
3.1.1. Sistema binario	53
3.1.2. Códigos	54

3.2. Análisis de codificadores	57	4.4.2. Estudio de un circuito generador del complemento a nueve	87
3.2.1. Estudio del dispositivo 74148 . . .	58	4.4.3. Estudio de un restador BCD de dos números de dos cifras cada uno	88
3.2.2. Estudio de un codificador de 16 entradas	59	4.4.4. Estudio de un sumador/restador BCD natural	88
3.3. Análisis de decodificadores	60	4.5. Suma y resta en BCD exceso tres	89
3.3.1. Estudio del circuito y del decodificador 7447	61	4.5.1. Suma en BCD exceso tres	89
3.4. Análisis de multiplexadores	63	4.5.2. Resta en BCD exceso tres	89
3.4.1. Estudio del dispositivo 74151 . . .	64	4.6. Análisis de sumadores y restadores en BCD exceso tres	90
3.4.2. Estudio del multiplexador 74151 como dispositivo que implementa una función lógica	65	4.6.1. Estudio de un sumador BCD exceso tres	91
3.5. Análisis de decodificadores/demultiplexadores	67	4.6.2. Estudio de un restador BCD exceso tres de dos etapas	92
3.5.1. Estudio del dispositivo 7442	68	4.6.3. Estudio de un sumador/restador BCD exceso tres de dos cifras decimales	92
3.5.2. Estudio del decodificador 7442 como dispositivo que implementa una función lógica	68	4.7. Análisis de una unidad aritmético-lógica	92
3.6. Análisis de comparadores	69	4.7.1. Estudio de la unidad aritmético-lógica 74181	92
3.6.1. Estudio del dispositivo 7485	70	Ejercicios propuestos	94
3.6.2. Estudio de un circuito serie	70	Actividades complementarias	94
3.6.3. Estudio de la conexión paralelo	71		
Ejercicios propuestos	73		
Actividades complementarias	73		
Capítulo 4		Capítulo 5	
ANÁLISIS DE CIRCUITOS ARITMÉTICOS.		ANÁLISIS DE CIRCUITOS CON BIESTABLES	
		96	
Introducción: operaciones matemáticas con circuitos digitales	77	Introducción	96
4.1. Suma y resta binaria	77	5.1. Análisis de circuitos biestables <i>R-S</i> con puertas lógicas	97
4.1.1. Suma binaria	77	5.1.1. Estudio del circuito biestable <i>R-S</i> con puertas NOR	98
4.1.2. Resta binaria	78	5.1.2. Descripción del funcionamiento del biestable <i>R-S</i> con puertas NAND	100
4.2. Análisis de sumadores y restadores binarios	79	5.2. Análisis de otros tipos de biestables con puertas lógicas	101
4.2.1. Estudio del circuito sumador total	81	5.2.1. Estudio del circuito	102
4.2.2. Estudio de sumadores de dos números de cuatro o más bits	82	5.2.2. Estudio del circuito	103
4.2.3. Estudio de un circuito sumador/restador	82	5.3. Análisis de circuitos biestables con puertas lógicas sincronizados por nivel	104
4.3. Suma y resta en BCD natural	83	5.3.1. Estudio del circuito	105
4.3.1. Suma en BCD natural	84	5.3.2. Estudio del circuito	106
4.3.2. Resta en BCD natural	84	5.4. Análisis de circuitos biestables con puertas lógicas sincronizados por flancos	107
4.4. Análisis de sumadores y restadores en BCD natural	85	5.4.1. Estudio del circuito biestable <i>J-K</i> sincronizado por flancos <i>Master-Slave</i>	109
4.4.1. Estudio de un sumador BCD natural de un solo dígito	87		

5.4.2.	Estudio del circuito biestable <i>D</i> sincronizado por flanco de subida	113
5.4.3.	Estudio del circuito biestable <i>J-K</i> sincronizado por flanco de bajada	115
5.4.4.	Parámetros a tener en cuenta en los biestables activados por flancos	115
5.5.	Representación gráfica de los biestables como bloques funcionales	115
5.6.	Transformación de un tipo de biestable en otro	116
Apéndice A.	Tipos estándar de biestables	117
Apéndice B.	Clasificación de los biestables según su entrada de sincronismo	119
	Ejercicios propuestos	120
	Actividades complementarias	122
Capítulo 6		
ANÁLISIS Y DISEÑO DE CIRCUITOS CONTADORES 125		
	Introducción	125
6.1.	Análisis de circuitos contadores y divisores de frecuencia asíncronos con biestables integrados	126
6.1.1.	Estudio de un circuito contador asíncrono binario natural implementado con cuatro biestables <i>J-K</i>	127
6.1.2.	Estudio de un circuito contador asíncrono, descendente, codificado en binario natural de módulo 16, implementado con cuatro biestables <i>J-K</i>	132
6.1.3.	Estudio de un circuito contador ascendente-descendente (<i>up-down</i>) asíncrono con biestables <i>J-K</i>	134
6.1.4.	Estudio de un circuito contador asíncrono ascendente en código BCD a partir de un contador asíncrono ascendente en binario natural	136
6.2.	Análisis de circuitos contadores/divisores de frecuencia asíncronos MSI	138
6.2.1.	Estudio del circuito contador integrado 7490	139
6.2.2.	Estudio del circuito integrado 7493	145
6.3.	Análisis de circuitos contadores/divisores de frecuencia síncronos MSI	148

6.3.1.	Estudio y análisis de los circuitos contadores predeterminados reversibles 74190 y 74191	153
6.3.2.	Estudio y análisis del circuito contador reversible 74192	162
	Ejercicios propuestos	164
	Actividades complementarias	166

Capítulo 7
ANÁLISIS Y DISEÑO CON REGISTROS . . . **172**

	Introducción	172
7.1.	Análisis de registros de almacenamiento	173
7.1.1.	Estudio de los registros de almacenamiento	177
7.2.	Análisis de registros de desplazamiento	178
7.2.1.	Estudio de los registros de desplazamiento	180
7.2.2.	Estudio de los registros de desplazamiento entrada serie/salida serie	180
7.2.3.	Análisis de los registros de desplazamiento entrada paralelo/salida serie	182
7.2.4.	Análisis de los registros de desplazamiento entrada paralelo/salida paralelo	187
	Ejercicios propuestos	191
	Actividades complementarias	193

Capítulo 8
CIRCUITOS DIGITALES AUXILIARES . . . **196**

	Introducción	196
8.1.	Análisis de circuitos monoestables	197
8.1.1.	Estudio de los circuitos monoestables con puertas lógicas	199
8.1.2.	Estudio de circuitos monoestables con circuitos integrados TTL	202
8.1.3.	Estudio del circuito integrado 555	213
8.2.	Análisis de circuitos astables y generadores de impulsos	216
8.2.1.	Estudio del circuito integrado 555 como multivibrador astable	217
8.2.2.	Multivibradores astables con puertas lógicas del tipo Trigger Schmitt.	221
8.3.	Circuitos retardadores de señal	224
8.3.1.	Circuito retardador con puertas lógicas	224

Ejercicios propuestos	225
Actividades complementarias	226
Capítulo 9 ANÁLISIS DE SISTEMAS MICROPROGRAMABLES	230
Introducción	230
9.1. Estructura de un sistema microprogramable	230
9.1.1. Definición de sistema microprogramable	230
9.1.2. Hardware y software	231
9.1.3. Esquema de bloques de un sistema microprogramable	231
9.1.4. Sistemas microprogramables integrados en un solo chip	232
9.1.5. Clasificación de los sistemas microprogramables	232
9.2. Hardware de un sistema microprogramable con microprocesadores	232
9.2.1. Esquema de bloques de un sistema de desarrollo de microprocesadores	233
9.3. Lógica y dispositivos triestado	237
9.3.1. Funcionamiento del circuito	237
9.3.2. Lógica triestado	238
9.3.3. Dispositivos y chips triestado	238
9.4. Software de un sistema de desarrollo de microprocesadores	238
9.4.1. Generalidades sobre el software de un sistema microprogramable	239
9.4.2. Sistema de numeración hexadecimal	239
9.4.3. Lenguajes de programación	240
9.4.4. Proceso de programación	242
Ejercicios propuestos	242

Capítulo 10 ANÁLISIS DE CIRCUITOS CON MEMORIAS	244
Introducción	244
10.1. Clasificación de las memorias	244
10.1.1. Relación de las memorias con la CPU del sistema microprogramable	244
10.1.2. Clasificación de las memorias integradas	245

10.2. Características generales de una memoria.	246
10.3. Estructura y organización de un chip integrado de memoria	248
10.3.1. Estructura externa y patillaje ..	248
10.3.2. Organización interna	249
10.4. Tiempos y cronogramas	252
10.4.1. Simbología	252
10.4.2. Proceso de lectura	253
10.4.3. Proceso de escritura	254
10.5. Memorias RAM comerciales	255
10.5.1. Estudio de la RAM 2112	255
10.5.2. Tipos de memorias RAM	256
10.5.3. RAM estáticas	257
10.5.4. Estudio de la DRAM MCM-514256A	258
10.5.5. RAM dinámica	259
10.5.6. Módulos SIMM de memoria RAM	260
10.6. Memorias ROM-PROM-EPROM comerciales	261
10.6.1. Estudio de la ROM 6830	261
10.6.2. Memorias ROM	262
10.6.3. Memorias PROM	263
10.6.4. Estudio de la EPROM 27C64A	265
10.6.5. Memorias EPROM	265
10.6.6. Memorias EAROM	267
10.7. Expansión de memorias integradas	267
10.7.1. Expansión de la longitud de palabra almacenable	267
10.7.2. Expansión del número de posiciones o palabras almacenables	268
10.7.3. Expansión simultánea de la capacidad y de la longitud de palabra	270
10.8. Mapas de memoria	271
10.8.1. Definición de mapa de memoria	271
10.8.2. Implementación de mapas de memoria	272
Ejercicios propuestos	274

Capítulo 11 ANÁLISIS DE LA ARQUITECTURA DE UN MICROPROCESADOR	276
Introducción	276
11.1. Arquitectura de los microprocesadores de 8 bits	277
11.1.1. Filosofías de diseño de microprocesadores de 8 bits	277
11.1.2. Patillaje exterior de un microprocesador convencional	279

11.1.3.	Ciclos de trabajo de un microprocesador	279	11.4.	Las subrutinas y la pila de memoria en un micro de 8 bits	299
11.1.4.	Estructura interna de un microprocesador convencional de 8 bits	280	11.4.1.	Subrutinas	299
11.1.5.	Unidad de control	281	11.4.2.	Subrutinas anidadas	300
11.1.6.	Registro de instrucciones	283	11.4.3.	Pila de memoria y puntero de pila	301
11.1.7.	Unidad aritmético-lógica	283	11.5.	Las interrupciones en un microprocesador de 8 bits	302
11.1.8.	Acumulador	283	11.5.1.	Funcionamiento de una interrupción	302
11.1.9.	Registro de estado	283	11.5.2.	Interrupciones enmascarables	302
11.1.10.	Registros auxiliares	285	11.5.3.	Vectores en un microprocesador	303
11.1.11.	Contador de programa	285	11.5.4.	Interrupciones no enmascarables	303
11.1.12.	Registro de datos	285	11.5.5.	Interrupciones por software	304
11.1.13.	Registro de direcciones	285	11.6.	Líneas del bus de control de un microprocesador de 8 bits	304
11.2.	Ejemplo de funcionamiento de una CPU de 8 bits	285	11.6.1.	Línea de inicialización \overline{RESET}	305
11.2.1.	Arranque del programa	286	11.6.2.	Línea de detención de ejecución \overline{HALT}	305
11.2.2.	1.º ciclo máquina de la 1.ª instrucción: busca e interpreta el código de operación	287	11.6.3.	Línea de bus utilizable BA	306
11.2.3.	2.º ciclo máquina de la 1.ª instrucción: busca la parte baja de la dirección donde se encuentra el dato	288	11.6.4.	Línea de control de lectura/escritura en memoria R/\overline{W}	306
11.2.4.	3.º ciclo máquina de la 1.ª instrucción: busca la parte alta de la dirección donde se encuentra el dato	289	11.6.5.	Línea de validación de la dirección presente en el bus VMA	306
11.2.5.	4.º ciclo máquina de la 1.ª instrucción: busca el dato y lo carga en el acumulador	290	11.7.	Resumen de las características de los principales micros de 8 bits	307
11.2.6.	1.º ciclo máquina de la 2.ª instrucción: busca e interpreta el código de operación	291	11.7.1.	Microprocesador 6502	307
11.2.7.	2.º ciclo máquina de la 2.ª instrucción: busca el dato y ejecuta la suma	292	11.7.2.	Microprocesador 6800	307
11.2.8.	1.º ciclo máquina de la 3.ª instrucción: busca e interpreta el código de operación	293	11.7.3.	Microprocesador 8085	307
11.2.9.	2.º ciclo máquina de la 3.ª instrucción: busca la parte baja de la dirección donde se almacenará el dato	294	11.7.4.	Microprocesador Z80	307
11.2.10.	3.º ciclo máquina de la 3.ª instrucción: busca la parte alta de la dirección donde se almacenará el dato	295	11.7.5.	Resumen de las interrupciones en los principales microprocesadores de 8 bits	314
11.2.11.	4.º ciclo máquina de la 3.ª instrucción: almacena dato en memoria	296	Capítulo 12		
11.2.12.	1.º ciclo máquina de la 4.ª instrucción: busca e interpreta el código de operación	297	HERRAMIENTAS DE PROGRAMACIÓN . 315		
11.2.13.	Tiempo de ejecución de un programa	298	Introducción	315	
11.3.	Indexamiento de direcciones de memoria	298	12.1.	Proceso de programación	315
			12.1.1.	Descripción del programa	316
			12.1.2.	Fases del proceso de programación	317
			12.2.	Software de un microprocesador	319
			12.2.1.	Obtención del fichero fuente	320
			12.2.2.	Repertorio de instrucciones	322
			12.2.3.	Modos de direccionamiento	327
			12.3.	Programas ensambladores	331
			12.3.1.	Proceso de ensamblado de programas por ordenador	332
			12.3.2.	Formato de los ficheros obtenidos en el proceso de ensamblado	333

12.3.3. Directivas o pseudoinstrucciones del programa ensamblador	334
12.3.4. Elementos empleados en los programas ensambladores	334
Ejercicios propuestos	336

Capítulo 13
ANÁLISIS DE CIRCUITOS DE ENTRADA/SALIDA Y CONTROL EXTERNO

13.1. Circuitos de entrada/salida	342
13.1.1. Concepto y estructura interna de los circuitos de entrada/salida	342
13.1.2. Clasificación de las unidades de entrada/salida	343
13.1.3. Protocolos	343
13.1.4. Fases del proceso de comunicación entre el interior y el exterior del sistema	343
13.1.5. Comunicación entre CPU y unidad de entrada/salida	343
13.1.6. Comunicación entre unidad de entrada/salida y periférico	347
13.1.7. Comunicación directa entre memoria y periférico	347
13.1.8. Ejemplos comerciales de unidades de entrada/salida	347

13.2. Sistemas de adquisición de datos	352
13.2.1. Estructura de un sistema de adquisición y envío de datos para el control microprogramado	352
13.2.2. Estructura de un sistema de adquisición de datos	353
13.2.3. Estructura de un sistema de envío de datos	354
13.2.4. Convertidores digital/análogo (D/A)	355
13.2.5. Estudio del generador de diente de sierra con sistema microprogramable	356
13.2.6. Convertidores analógico/digital (A/D)	357
13.2.7. El MP7581, ejemplo de convertidor analógico/digital	360
13.3. Sistemas de control externo	360
13.3.1. Principio de funcionamiento de los motores paso a paso	360
13.3.2. Motores paso a paso de imán permanente	362
13.3.3. Características de los motores paso a paso	362
13.3.4. Control y modos de trabajo de un motor paso a paso	364
13.3.5. Análisis del controlador práctico de motor paso a paso de la Actividad 2	365