



INTRODUCCIÓN XI

CAPÍTULO 1 LA MICROELECTRÓNICA Y SU EVOLUCIÓN

1.1 INTRODUCCIÓN 1

1.2 CLASIFICACIÓN DE LOS CIRCUITOS INTEGRADOS DIGITALES MONOLÍTICOS 1

1.2.1 Clasificación según el tipo de dispositivo utilizado 3

1.2.2 Clasificación según el número de dispositivos 3

1.2.3 Circuitos integrados normalizados o estándar 6

1.2.3.1 *CIDM normalizados de función fija* 6

1.2.3.2 *CIDM normalizados programables* 8

1.2.3.2.1 *CIDM normalizados programables de arquitectura fija* 8

1.2.3.2.2 *CIDM normalizados programables de arquitectura configurable* 9

1.2.4 Circuitos especificados por el usuario o a medida 10

CAPÍTULO 2 CIRCUITOS DIGITALES CONFIGURABLES

2.1 INTRODUCCIÓN 17

2.2 DEFINICIÓN Y CLASIFICACIÓN DE LOS CIRCUITOS DIGITALES CONFIGURABLES 17

2.2.1 Dispositivos lógicos programables 19

2.2.2 Conjuntos configurables de puertas 20

2.2.2.1 *FPGA de organización tipo terraza* 22

2.2.2.2 *FPGA de organización tipo cuadrícula* 22

2.2.2.3 *FPGA de organización tipo mar de puertas* 23

CAPÍTULO 3 DISPOSITIVOS LÓGICOS PROGRAMABLES

3.1 INTRODUCCIÓN 27

3.2 DISPOSITIVOS LÓGICOS PROGRAMABLES BÁSICOS 28

3.2.1 Introducción y teoría general 28

3.2.2 Dispositivos lógicos programables básicos con un biestable y doble realimentación 37

3.2.3 Dispositivos lógicos programables básicos con dos biestables y doble realimentación 38

3.3 DISPOSITIVOS LÓGICOS PROGRAMABLES AVANZADOS 39

3.3.1	Introducción y teoría general	39
3.3.2	Dispositivos lógicos programables avanzados de asignación variable	40
3.3.2.1	Dispositivos lógicos programables avanzados con compartición de productos lógicos	41
3.3.2.1.1	Compartición de todos los productos lógicos	42
3.3.2.1.2	Compartición de algunos productos lógicos	43
3.3.2.2	Dispositivos lógicos programables con compartición de sumas de productos lógicos	43
3.3.2.2.1	Compartición mediante realimentación de las puertas O	44
3.3.2.2.2	Compartición mediante duplicación de las puertas O	45
3.3.2.3	Dispositivos lógicos programables con distribución de sumas de productos lógicos	46
3.3.2.3.1	Distribución simple de sumas de productos lógicos	46
3.3.2.3.2	Distribución de sumas de productos lógicos en cascada	47
3.3.2.4	Dispositivos lógicos programables con conjuntos de puertas NO-Y (NAND) de expansión	49
3.3.3	Dispositivos lógicos programables avanzados segmentados	50
3.4	DISPOSITIVOS LÓGICOS PROGRAMABLES COMPLEJOS	54
3.4.1	Introducción	54
3.4.2	Dispositivos lógicos programables complejos realizados con macroceldas complejas	55
3.4.3	Dispositivos lógicos programables complejos realizados con bloques lógicos complejos	56
3.4.3.1	Bloques lógicos constituidos por circuitos PLD avanzados segmentados	56
3.4.3.2	Bloques lógicos multifuncionales	57
3.4.4	Dispositivos lógicos programables complejos con recursos lógicos operativos adicionales	58
3.4.5	Dispositivos lógicos programables complejos con recursos de interconexión distribuidos	60

CAPÍTULO 4 TECNOLOGÍA Y CONFIGURACIÓN DE LOS DISPOSITIVOS LÓGICOS PROGRAMABLES

4.1	INTRODUCCIÓN	63
4.2	TECNOLOGÍAS DE LOS CIRCUITOS PLD	64
4.2.1	Tecnología de fusibles	64
4.2.2	Tecnologías de memoria pasiva con transistores MOS	65
4.2.2.1	Tecnología de transistores MOS borrables mediante rayos ultravioleta	66
4.2.2.2	Tecnología de transistores MOS borrables mediante impulsos eléctricos	67
4.2.2.3	Tecnología de transistores MOS programables por máscara	69
4.2.3	Tecnología de memoria activa estática	69
4.3	CONFIGURACIÓN DE LOS DISPOSITIVOS LÓGICOS PROGRAMABLES	70
4.3.1	PLD configurable fuera del sistema	70
4.3.2	PLD configurable en el sistema	72

CAPÍTULO 5 DISEÑO DE SISTEMAS DIGITALES CON DISPOSITIVOS LÓGICOS PROGRAMABLES

5.1	INTRODUCCIÓN	75
5.2	MÉTODOS DE DISEÑO DE SISTEMAS DIGITALES COMPLEJOS	75
5.2.1	Introducción	75
5.2.2	Formas de descripción de los sistemas digitales complejos	77
5.2.2.1	Formas de descripción según el tipo de jerarquía	78
5.2.2.2	Formas de descripción según la representación del sistema	79
5.2.2.3	Formas de descripción según la relación con la realización física	81
5.2.3	Lenguajes de descripción de sistemas digitales	81
5.2.3.1	Introducción	81
5.2.3.2	Lenguajes HDL no estructurados	82
5.2.3.3	Lenguajes HDL estructurados	85
5.2.4	Verificación de los sistemas digitales complejos	90
5.2.4.1	Introducción	90
5.2.4.2	Diseño orientado a la verificabilidad	92
5.2.4.2.1	Técnicas específicas para la verificación externa	92
5.2.4.2.2	Técnicas estructuradas para la verificación externa	94
5.2.4.2.3	Técnicas estructuradas para la autoverificación	99
5.3	DISEÑO DE SISTEMAS DIGITALES REALIZADOS CON DISPOSITIVOS LÓGICOS PROGRAMABLES	99
5.3.1	Introducción	99
5.3.2	Descripción del sistema	101
5.3.2.1	Descripción estructural	102
5.3.2.2	Descripción de comportamiento	103
5.3.2.3	Descripción mixta	104
5.3.3	Compilación	107
5.3.3.1	Minimización lógica	107
5.3.3.2	Generación de la lista de conexiones	108
5.3.3.3	Optimización de la lista de conexiones	108
5.3.3.4	Comprobación de errores	109
5.3.4	Simulación funcional	112
5.3.5	Implementación y verificación temporal	114
5.3.5.1	Asignación de recursos	114
5.3.5.2	Actualización de la lista de conexiones	118
5.3.5.3	Verificación temporal	122
5.3.5.3.1	Simulación temporal	122
5.3.5.3.2	Análisis de retardos	123
5.3.5.4	Generación del patrón de programación	123
5.3.5.5	Configuración del PLD	124
5.3.5.6	Verificación del PLD	124

CAPÍTULO 6 SISTEMAS ELECTRÓNICOS REALIZADOS CON DISPOSITIVOS LÓGICOS PROGRAMABLES

6.1	INTRODUCCIÓN	129
6.2	CRITERIOS DE SELECCIÓN DEL PLD	130
6.2.1	Parámetros técnicos de los circuitos PLD	130

6.2.2	Parámetros de diseño	133
6.2.3	Parámetros comerciales	133
6.3	NORMAS GENERALES DE DISEÑO DE SISTEMAS DIGITALES MEDIANTE CIRCUITOS PLD	134
6.4	SISTEMAS ELECTRÓNICOS DIGITALES REALIZADOS CON CIRCUITOS PLD DE LATTICE	139
6.4.1	Introducción	139
6.4.2	Sistema digital de control de una máquina de selección de barras	140
6.4.2.1	Planteamiento	140
6.4.2.2	Descripción del sistema digital de control	141
6.4.2.3	Compilación e implementación del sistema digital	142
6.4.2.4	Verificación temporal	148
6.4.2.5	Comprobación del funcionamiento y montaje global	149
6.4.3	Sistema digital de control de un motor paso a paso	151
6.4.3.1	Planteamiento	151
6.4.3.2	Descripción del motor paso a paso	152
6.4.3.3	Descripción del sistema digital de control	154
6.4.3.4	Compilación e implementación del sistema digital	155
6.4.3.5	Verificación temporal	158
6.4.3.6	Comprobación del funcionamiento y montaje global	163
6.4.4	Sistema digital de control de acceso a un garaje	166
6.4.4.1	Planteamiento	166
6.4.4.2	Descripción del sistema digital de control	167
6.4.4.3	Compilación e implementación del sistema digital	174
6.4.4.4	Verificación temporal	181
6.4.4.5	Comprobación del funcionamiento y montaje global	186
6.4.5	Sistema digital de control de un grupo de semáforos	187
6.4.5.1	Planteamiento	187
6.4.5.2	Descripción del sistema digital de control	189
6.4.5.3	Compilación e implementación del sistema digital	198
6.4.5.4	Verificación temporal	199
6.4.5.5	Comprobación del funcionamiento y montaje global	206
6.5	SISTEMAS ELECTRÓNICOS REALIZADOS CON CIRCUITOS PLD DE XILINX	208
6.5.1	Introducción	208
6.5.2	Sistema digital de medida de la posición y la velocidad de un motor mediante un codificador incremental de posición	209
6.5.2.1	Planteamiento	209
6.5.2.2	Descripción del codificador incremental	209
6.5.2.3	Descripción del sistema digital de medida de posición	211
6.5.2.4	Compilación e implementación del sistema digital	215
6.5.2.5	Verificación temporal	218
6.5.2.6	Comprobación del funcionamiento y montaje global	220
6.5.3	Sistema digital de exploración de un teclado matricial	221
6.5.3.1	Planteamiento	221
6.5.3.2	Descripción del teclado matricial y su acoplamiento a un procesador	221
6.5.3.3	Descripción del sistema digital de exploración de un teclado matricial de dieciséis teclas	223
6.5.3.4	Compilación e implementación del sistema digital	233
6.5.3.5	Verificación temporal	235

6.5.3.6	<i>Comprobación del funcionamiento y montaje global</i>	235
6.5.4	Sistema digital de control de una máquina de bebidas	237
6.5.4.1	<i>Planteamiento</i>	237
6.5.4.2	<i>Descripción del sistema digital de control</i>	239
6.5.4.3	<i>Compilación e implementación del sistema digital</i>	242
6.5.4.4	<i>Verificación temporal</i>	247
6.5.4.5	<i>Comprobación del funcionamiento y montaje global</i>	249
6.5.4.6	<i>Utilización de un teclado matricial para el manejo de la máquina de bebidas</i>	250
6.5.5	Sistema de generación de una imagen de ajuste de los colores del monitor de un computador	251
6.5.5.1	<i>Planteamiento</i>	251
6.5.5.2	<i>Descripción del monitor de color de un computador</i>	251
6.5.5.3	<i>Descripción del sistema digital de generación de imagen</i>	255
6.5.5.4	<i>Compilación e implementación del sistema digital</i>	262
6.5.5.5	<i>Verificación temporal</i>	264
6.5.5.6	<i>Comprobación del funcionamiento y montaje global</i>	265
6.6	SISTEMAS ELECTRÓNICOS DIGITALES REALIZADOS CON CIRCUITOS PLD DE ALTERA	267
6.6.1	Introducción	267
6.6.2	Sistema digital de control de un motor paso a paso	268
6.6.2.1	<i>Planteamiento</i>	268
6.6.2.2	<i>Descripción del motor paso a paso</i>	268
6.6.2.3	<i>Descripción del sistema digital de control</i>	269
6.6.2.4	<i>Compilación e implementación del sistema digital</i>	273
6.6.2.5	<i>Verificación temporal</i>	278
6.6.2.6	<i>Comprobación del funcionamiento y montaje global</i>	279
6.6.3	Modulador de anchura de impulsos	280
6.6.3.1	<i>Planteamiento</i>	280
6.6.3.2	<i>Descripción de las señales PWM</i>	280
6.6.3.3	<i>Descripción del sistema digital</i>	281
6.6.3.4	<i>Compilación e implementación del sistema digital</i>	287
6.6.3.5	<i>Verificación temporal</i>	288
6.6.3.6	<i>Comprobación del funcionamiento y montaje global</i>	291
6.6.4	Procesador de comunicaciones RS-232	292
6.6.4.1	<i>Planteamiento</i>	292
6.6.4.2	<i>Descripción del puerto serie RS-232 del PC</i>	292
6.6.4.2.1	<i>Introducción</i>	292
6.6.4.2.2	<i>Descripción de la norma RS-232</i>	293
6.6.4.3	<i>Descripción del procesador de comunicaciones RS-232</i>	295
6.6.4.3.1	<i>Descripción del receptor RS-232</i>	297
6.6.4.3.2	<i>Descripción del transmisor RS-232</i>	307
6.6.4.3.3	<i>Descripción del divisor de frecuencia</i>	315
6.6.4.3.4	<i>Descripción global del procesador de comunicaciones</i>	316
6.6.4.4	<i>Compilación e implementación del sistema digital</i>	317
6.6.4.5	<i>Verificación temporal</i>	319
6.6.4.6	<i>Comprobación del funcionamiento y montaje global</i>	323

APENDICE 1 LENGUAJE ABEL DE DESCRIPCIÓN DE SISTEMAS DIGITALES

A1.1	INTRODUCCIÓN	327
------	--------------	-----

A1.2 SINTAXIS DEL FICHERO DE DESCRIPCIÓN EN ABEL DE UN SISTEMA DIGITAL	328
A1.2.1 Cabecera	328
A1.2.2 Definiciones (palabra clave "DECLARATIONS")	329
A1.2.3 Descripción lógica	330
A1.2.4 Vectores de prueba (palabra clave "TEST_VECTORS")	331
A1.2.5 Fin del fichero (palabra clave "END")	331
A1.3 ASIGNACIÓN DE ATRIBUTOS	331
A1.4 SINTAXIS DE LA DESCRIPCIÓN LÓGICA	332
A1.4.1 Símbolos utilizados	332
A1.4.2 Ecuaciones de control del PLD ("dot extensions")	333
A1.4.3 Ecuaciones condicionales	334
A1.4.4 Tablas de verdad	335
A1.4.5 Descripción de un grafo de estados	336
A1.5 MACROINSTRUCCIONES	338
A1.6 EJEMPLOS DE DESCRIPCIÓN	340
A1.7 UTILIZACIÓN DE LOS FICHEROS ABEL	342
 APENDICE 2 LENGUAJE VHDL DE DESCRIPCIÓN DE SISTEMAS DIGITALES	
A2.1 INTRODUCCIÓN	347
A2.2 BREVE HISTORIA	347
A2.3 CARACTERÍSTICAS GENERALES	348
A2.4 SINTAXIS DEL FICHERO DE DESCRIPCIÓN EN VHDL DE UN SISTEMA DIGITAL	349
A2.4.1 Introducción	349
A2.4.2 Definición de la entidad	350
A2.4.3 Definición de la arquitectura	352
A2.5 BIBLIOTECAS Y PAQUETES	353
A2.6 ELEMENTOS FUNDAMENTALES DEL LENGUAJE	354
A2.6.1 Identificadores	354
A2.6.2 Comentarios	355
A2.6.3 Tipos de datos predefinidos	356
A2.6.4 Nuevos tipos y subtipos	357
A2.6.5 Operadores	358
A2.6.6 Objetos de datos	359
A2.6.6.1 Constantes	359
A2.6.6.2 Variables	360
A2.6.6.3 Señales	360
A2.6.6.4 Atributos	361

A2.7 VHDL CONCURRENTES Y SECUENCIAL	362
A2.8 DESCRIPCIÓN DE COMPORTAMIENTO	363
A2.8.1 Procesos	363
A2.8.2 Sentencias secuenciales	365
A2.8.2.1 <i>Wait</i>	365
A2.8.2.2 <i>Estructuras condicionales</i>	366
A2.8.2.3 <i>Bucles</i>	368
A2.9 DESCRIPCIÓN ESTRUCTURAL	370
A2.9.1 Introducción	370
A2.9.2 Zona de definiciones	371
A2.9.2.1 <i>Definición de componentes</i>	372
A2.9.2.2 <i>Asociación de entidades con componentes</i>	372
A2.9.3 Instanciación de componentes	373
A2.9.4 Definiciones concurrentes	374
A2.9.4.1 <i>Bloques</i>	374
A2.9.4.2 <i>When</i>	376
A2.9.4.3 <i>With...Select</i>	377
A2.10 SIMULACIÓN	378
A2.10.1 Generación de los estímulos o vectores de prueba	379
A2.10.2 Aplicación de los estímulos o vectores de prueba	381
 APENDICE 3 DISPOSITIVOS LÓGICOS PROGRAMABLES DE LATTICE	
A3.1 INTRODUCCIÓN	385
A3.2 DISPOSITIVOS LÓGICOS PROGRAMABLES BÁSICOS	387
A3.2.1 Descripción general	387
A3.2.2 Dispositivos lógicos programables GAL 16V8 (PAL16V8) y GAL20V8 (PAL20V8)	387
A3.2.3 Dispositivos lógicos programables GAL 22V10, GAL18V10 y GAL26CV12	389
A3.3 CIRCUITOS PLD AVANZADOS	390
A3.3.1 Descripción general	390
A3.3.2 Dispositivos lógicos programables avanzados GAL6001 y GAL6002	391
A3.3.3 Dispositivos lógicos programables avanzados de las familias MACH 1 y MACH 2	393
A3.3.4 Dispositivos lógicos programables avanzados de la familia MACH 4	395
A3.3.5 Dispositivos lógicos programables avanzados de la familia ispLSI 5000	397
A3.4 CIRCUITOS PLD COMPLEJOS	398
A3.4.1 Dispositivos lógicos programables complejos de la familia MACH 5	399
A3.4.2 Dispositivos lógicos programables complejos de la familia	

	ispLSI 1000, ispLSI 2000, ispLSI 3000 y avanzados de la familia ispLSI 5000	399
A3.4.3	Dispositivos lógicos programables complejos de la familia ispLSI 6000	402
A3.4.4	Dispositivos lógicos programables complejos de la familia ispLSI 8000	404

APENDICE 4 DISPOSITIVOS LÓGICOS PROGRAMABLES DE XILINX

A4.1	INTRODUCCIÓN	407
A4.2	DISPOSITIVOS LÓGICOS PROGRAMABLES AVANZADOS DE LA FAMILIA XC9500	409
A4.2.1	Características generales	409
A4.2.2	Descripción de la macrocelda	411
A4.3	DISPOSITIVOS LÓGICOS PROGRAMABLES DE LAS FAMILIAS COOLRUNNER	414
A4.3.1	Características generales	414
A4.3.2	Circuitos PLD de la familia CoolRunner XPLA3	415
A4.3.2.1	Características generales	415
A4.3.2.2	Descripción de la macrocelda	418
A4.3.3	Circuitos PLD CoolRunner XPLA2	418
A4.3.3.1	Características generales	418
A4.3.3.2	Descripción de la macrocelda	421

APENDICE 5 DISPOSITIVOS LÓGICOS PROGRAMABLES DE ALTERA

A5.1	INTRODUCCIÓN	423
A5.2	DISPOSITIVOS LÓGICOS PROGRAMABLES BÁSICOS	425
A5.2.1	Descripción general	425
A5.2.2	Dispositivos lógicos programables básicos EP220 y EP224	426
A5.2.3	Dispositivos lógicos programables básicos EP610 y EP910	428
A5.3	DISPOSITIVOS LÓGICOS PROGRAMABLES AVANZADOS	428
A5.3.1	Descripción general	428
A5.3.2	Dispositivos lógicos programables avanzados EP312 y EP324 de la familia Classic	428
A5.3.3	Dispositivo lógico avanzado EP1810 de la familia Classic	431
A5.3.4	Dispositivos lógicos programables avanzados de arquitectura MAX	432
A5.3.4.1	Descripción general	432
A5.3.4.2	Dispositivos lógicos programables avanzados de la familia MAX5000	434
A5.3.4.3	Dispositivos lógicos programables avanzados de la familia MAX7000	435
A5.3.4.4	Dispositivos lógicos programables avanzados de la familia MAX3000	438

Introducción

A5.4 DISPOSITIVOS LÓGICOS PROGRAMABLES COMPLEJOS 438

A5.4.1 Introducción 438

A5.4.2 Dispositivos lógicos programables complejos de la familia FLASHlogic 439

A5.4.3 Dispositivos lógicos programables complejos de la familia MAX9000 443

ÍNDICE ALFABÉTICO DE TÉRMINOS EN CASTELLANO E INGLÉS 447

Este libro es un curso práctico de introducción a los dispositivos lógicos programables (PLD) que cubren el nivel de programación de las conexiones entre los elementos que los componen, lo cual se conoce como configurabilidad.

Los primeros cursos PLD fueron realizados y mediados de la década de 1970 a partir de dispositivos lógicos programables PL-A y PAL, y en desarrollo paralelo al de la tecnología básica, la cual, igual a la creación de nuevas tecnologías semiconductores, ha sido impulsada la comparación entre los dispositivos comerciales y los dispositivos lógicos. Esto impulsó el trabajo en equipo de los autores para elaborar un método de análisis y clasificación que facilite la comprensión de los distintos circuitos PLD y que permita establecer métodos de diseño que sistematice la realización de circuitos basados en ellos. El resultado obtenido es este libro que se divide en tres capítulos y cuatro apéndices.

En el capítulo 1 se clasifican las ventajas inherentes digitales que el usuario ve que el sector digital los dispositivos digitales configurables de los que se trata de este proyecto.

En el capítulo 2 se describen los diferentes tipos de circuitos lógicos configurables entre los que se encuentran los dispositivos PLD.

El capítulo 3 está dedicado a describir los conceptos asociados a la configuración de los circuitos PLD. Para ello se analizan los diferentes métodos de representación y se desarrolla una forma original de clasificación que tiene como objetivo facilitar la comprensión de los dispositivos referidos por los diagramas lógicos.

En el capítulo 4 se describen las diferentes formas de realizar los dispositivos digitales. Se dan detalles de la configuración de los circuitos PLD, con el objetivo de poder implementar los algoritmos e implementar los dispositivos PLD y se describen algunas formas de implementar los dispositivos.

En el capítulo 5 se analizan en primer lugar los circuitos digitales complejos y se describen para cada uno de ellos los métodos de configuración y se describen los métodos de configuración de los dispositivos PLD y se establecen los requisitos que un diseñador debe seguir para obtener los resultados desde el punto de vista de la implementación de un sistema.

El capítulo 6 está dedicado a describir el desarrollo de un sistema PLD en un lenguaje de descripción de circuitos de alto nivel de abstracción para que el lector pueda comprender los conceptos relacionados con los dispositivos digitales. En este capítulo se describen los