

DISEÑO DIGITAL

por WAKERLY

Isbn 9702607205

Indice del Contenido

PRÓLOGO

PREFACIO

1. INTRODUCCIÓN

- 1.1. Acerca del diseño digital
 - 1.2. Analógico contra Digital
 - 1.3. Dispositivos digitales
 - 1.4. Aspectos electrónicos del diseño digital
 - 1.5. Aspectos de software del diseño digital
 - 1.6. Circuitos integrados
 - 1.7. Dispositivos de lógica programable
 - 1.8. Circuitos integrados (CI) de propósitos o aplicaciones específicas
 - 1.9. Tarjeta de circuito impreso
 - 1.10. Niveles del diseño digital
 - 1.11. El objetivo del juego
 - 1.12. Un paso adelante
- Problemas propuestos

2. SISTEMAS Y CÓDIGOS NUMÉRICOS

- 2.1. Sistemas numéricos posicionales
- 2.2. Números octales y hexadecimales
- 2.3. Conversiones generales de sistema numérico posicional
- 2.4. Suma y resta de números no decimales
- 2.5. Representación de números negativos
 - 2.5.1. Representación de magnitud con signo
 - 2.5.2. Sistemas numéricos de complemento
 - 2.5.3. Representación de complemento de base
 - 2.5.4. Representación de complemento a dos
 - 2.5.5. Representación de complemento de base reducida
 - 2.5.6. Representación de complemento a unos
 - 2.5.7. Representaciones por exceso
- 2.6. Suma y resta de complemento a dos
 - 2.6.1. Reglas de la suma
 - 2.6.2. Una visión gráfica
 - 2.6.3. Desbordamiento
 - 2.6.4. Reglas de la resta
 - 2.6.5. Números binarios sin signo y complemento a dos
- 2.7. Suma y resta de complemento a uno
- 2.8. Multiplicación binaria
- 2.9. División binaria
- 2.10. Códigos binarios para números decimales
 - 2.11. Código Gray
 - 2.12. Códigos de carácter
 - 2.13. Códigos para acciones, condiciones y estados
 - 2.14. Cubos n y distancia
 - 2.15. Códigos para detectar y corregir errores

- 2.15.1. Códigos de detección de error
- 2.15.2. Corrección de errores y códigos de detección de errores múltiples
- 2.15.3. Códigos de Hamming
- 2.15.4. Códigos CRC
- 2.15.5. Códigos bidimensionales
- 2.15.6. Códigos de suma de verificación
- 2.15.7. Códigos m de n
- 2.16. Códigos para el almacenamiento y la transmisión de datos en serie
- 2.16.1. Datos en paralelo y en serie
- 2.16.2. Códigos de línea en serie
- Referencias
- Problemas propuestos
- Ejercicios

3. CIRCUITOS DIGITALES

- 3.1. Compuertas y señales lógicas
- 3.2. Familias lógicas
- 3.3. Lógica CMOS
- 3.3.1. Niveles lógicos CMOS
- 3.3.2. Transistores MOS
- 3.3.3. Circuito del inversor básico CMOS
- 3.3.4. Compuertas CMOS NAND y NOR
- 3.3.5. Cargabilidad de entrada
- 3.3.6. Compuertas no inversoras
- 3.3.7. Compuertas CMOS AND-OR-INVERSORA Y OR-AND INVERSORA
- 3.4. Comportamiento eléctrico de los circuitos CMOS
- 3.4.1. Resumen
- 3.4.2. Hojas de datos y especificaciones
- 3.5. Comportamiento eléctrico de estado estable de los dispositivos CMOS
- 3.5.1. Niveles lógicos y márgenes de ruido
- 3.5.2. Comportamiento del circuito con cargas resistivas
- 3.5.3. Comportamiento del circuito con entradas no ideales
- 3.5.4. Fan out
- 3.5.5. Efectos de la carga
- 3.5.6. Entradas que no se utilizan
- 3.5.7. Picos de corriente y capacitores de desacoplamiento
- 3.5.8. Cómo destruir un dispositivo CMOS
- 3.6. Comportamiento eléctrico dinámico de los dispositivos CMOS
- 3.6.1. Tiempo de transición
- 3.6.2. Retardo de propagación
- 3.6.3. Consumo de energía
- 3.7. Otras estructuras CMOS de entrada y salida
- 3.7.1. Compuertas de transmisión
- 3.7.2. Entradas de un disparador Schmitt
- 3.7.3. Salidas de tres estados
- 3.7.4. Salidas de drenaje abierto
- 3.7.5. Control de LED
- 3.7.6. Buses defuente múltiple
- 3.7.7. Lógica alambrada
- 3.7.8. Resistores de arranque
- 3.8. Familias lógicas CMOS
- 3.8.1. HC y HCT
- 3.8.2. VHC y VHCT
- 3.8.3. Características eléctricas de HC, HCT, MC y VHCT
- 3.8.4. FCT y FCT-T
- 3.8.5. Características eléctricas del FCT-T

- 3.9. Lógica bipolar
 - 3.9.1. Diodos
 - 3.9.2. Lógica de diodos
 - 3.9.3. Transistores bipolares de unión
 - 3.9.4. Inversor en lógica de transistor
 - 3.9.5. Transistores Schottky
- 3.10. Lógica transistor-transistor
 - 3.10.1. Compuerta NAND TTL básica
 - 3.10.2. Niveles lógicos y márgenes de ruido
 - 3.10.3. Fan out
 - 3.10.4. Entradas sin utilizar
 - 3.10.5. Tipos adicionales de compuertas TTL
- 3.11. Familias TTL
 - 3.11.1. Familias TTL iniciales
 - 3.11.2. Familias TTL Schottky
 - 3.11.3. Características de las familias TTL
 - 3.11.4. Una hoja de datos TTL
- 3.12. Interfaz CMOS/TTL
- 3.13. Lógica CMOS de bajo voltaje e intertaz
 - 3.13.1. Lógica LVCMOS y LVITL de 3.3 V
 - 3.13.2. Entradas tolerantes a 5 V
 - 3.13.3. Salidas tolerantes a 5 V
 - 3.13.4. Resumen de interfaces 77L/LVTTL
 - 3.13.5. Lógica de 2.5 V y de 1.8 V
- 3.14. Lógica de emisor acoplado
 - 3.14.1. Circuito básico CML
 - 3.14.2. Familias ECL 10K/10H
 - 3.14.3. Familia ECL 100K
 - 3.14.4. ECL positivo (PECL)
- Referencias
- Problemas propuestos
- Ejercicios

4. PRINCIPIOS DE DISEÑO LÓGICO-COMBINACIONAL

- 4.1. Álgebra de conmutación
 - 4.1.1. Axiomas
 - 4.1.2. Teoremas de una sola variable
 - 4.1.3. Teoremas de dos y tres variables
 - 4.1.4. Teoremas de n variables
 - 4.1.5. Dualidad
 - 4.1.6. Representaciones estándar de funciones lógicas
- 4.2. Análisis de circuitos combinacionales
 - 4.3.1. Diseños y descripciones de circuito
 - 4.3.2. Manipulaciones de circuito
 - 4.3.3. Minimización del circuito combinacional
 - 4.3.4. Mapas de Karnaugh
 - 4.3.5. Minimización de sumas o productos
 - 4.3.6. Simplificación de productos de sumas
 - 4.3.7. Combinaciones de entrada "sin importancia"
 - 4.3.8. Minimización de salida múltiple
- 4.4. Métodos de minimización programados
 - 4.4.1. Representación de términos de producto
 - 4.4.2. Cálculo de implicantes primos mediante la combinación de términos de producto
 - 4.4.3. Encontrando una cubierta mínima empleando una tabla de implicante primos
 - 4.4.4. Otros métodos de minimización
- 4.5. Riesgos en el tiempo

- 4.5.1. Riesgos estáticos
- 4.5.2. Hallando riesgos estáticos mediante el uso de mapas
- 4.5.3. Riesgos dinámicos
- 4.5.4. Diseño de circuitos libres de riesgos
- 4.6. El lenguaje de descripción de hardware ABEL
 - 4.6.1. Estructura del programa ABEL
 - 4.6.2. Funcionamiento del compilador de ABEL
 - 4.6.3. Instrucciones WHEN y bloques de ecuaciones
 - 4.6.4. Tablas de verdad
 - 4.6.5. Intervalos, conjuntos y relaciones
 - 4.6.6. Entradas sin importancia
 - 4.6.7. Vectores de prueba
- 4.7. El lenguaje de descripción de hardware VHDL
 - 4.7.1. Flujo de diseño
 - 4.7.2. Estructura de programa
 - 4.7.3. Tipos y constantes
 - 4.7.4. Funciones y procedimientos
 - 4.7.5. Biblioteca y paquetes
 - 4.7.6. Elementos de diseño estructural
 - 4.7.7. Elementos de diseño de flujo de datos
 - 4.7.8. Elementos de diseño basado en el comportamiento
 - 4.7.9. La dimensión tiempo y simulación
 - 4.7.10. Síntesis
- Referencias
- Problemas propuestos
- Ejercicios

5. PRÁCTICAS DE DISEÑO LÓGICO COMBINACIONAL

- 5.1. Estándares de documentación
 - 5.1.1. Diagramas de bloques
 - 5.1.2. Símbolos de las compuertas
 - 5.1.3. Nombres de señal y niveles activos
 - 5.1.4. Niveles activos para terminales
 - 5.1.5. Diseño de lógica burbuja-burbuja
 - 5.1.6. Representación de la ubicación de los componentes
 - 5.1.7. Buses
 - 5.1.8. Información adicional del diagrama esquemático
- 5.2. Temporización del circuito
 - 5.2.1. Diagramas de temporización
 - 5.2.2. Retardo de propagación
 - 5.2.3. Especificaciones de temporización
 - 5.2.4. Análisis de temporización
 - 5.2.5. Herramientas para análisis de temporización
- 5.3. PLD combinacionales
 - 5.3.1. Arreglos de lógica programable
 - 5.3.2. Dispositivos lógicos de arreglo programable
 - 5.3.3. Dispositivos lógicos de arreglo genérico
 - 5.3.4. Circuitos PLD bipolares
 - 5.3.5. Circuitos PLD CMOS
 - 5.3.6. Prueba y programación del dispositivo
- 5.4. Decodificadores
 - 5.4.1. Decodificadores binarios
 - 5.4.2. Símbolos lógicos para elementos de mayor escala
 - 5.4.3. El decodificador de 2 a 4 dual 74x.139
 - 5.4.4. El decodificador de 3 a 8 74x138
 - 5.4.5. Decodificadores binarios en cascada

- 5.4.6. Decodificadores en ABEL y en los PLD
- 5.4.7. Decodificadores en VHDL
- 5.4.8. Decodificadores de siete segmentos
- 5.5. Codificadores
 - 5.5.1. Codificadores de prioridad
 - 5.5.2. El codificador de prioridad 74x148
 - 5.5.3. Codificadores en ABEL y PLD
 - 5.5.4. Codificadores en VHDL
- 5.6. Dispositivos de tres estados
 - 5.6.1. Buffers de tres estados
 - 5.6.2. Buffers de tres estados SSI y MSI estándar
 - 5.6.3. Salidas de tres estados en ABEL y PLD
 - 5.6.4. Salidas de tres estados en VHDL
- 5.7. Multiplexores
 - 5.7.1. Multiplexores MSI estándar
 - 5.7.2. Expansión de multiplexores
 - 5.7.3. Multiplexores, demultiplexores y buses
 - 5.7.4. Multiplexores en ABEL y PLD
 - 5.7.5. Multiplexores en VHDL
- 5.8. Compuertas OR Exclusivas y circuitos de paridad
 - 5.8.1. Compuertas OR Exclusivas y NOR Exclusivas
 - 5.8.2. Circuitos de paridad
 - 5.8.3. El generador de paridad de 9 bits 74x280
 - 5.8.4. Aplicaciones de verificación de paridad
 - 5.8.5. Compuertas OR Exclusiva y circuitos de paridad en ABEL y PLD
 - 5.8.6. Compuertas OR Exclusivo y circuitos de paridad en VHDL
- 5.9. Comparadores
 - 5.9.1. Estructura del comparador
 - 5.9.2. Circuitos iterativos
 - 5.9.3. Un circuito comparador iterativo
 - 5.9.4. Comparadores MSI estándar
 - 5.9.5. Comparadores en ABEL y PLD
 - 5.9.6. Comparadores en VHDL
- 5.10. Sumadores, restadores y ALU
 - 5.10.1. Medio sumadores y sumadores completos
 - 5.10.2. Sumadores interactivos ("en rizo")
 - 5.10.3. Sustractores (restadores)
 - 5.10.4. Sumadores de acarreo anticipado
 - 5.10.5. Sumadores MSI
 - 5.10.6. Unidades lógico-aritméticas MSI (ALU)
 - 5.10.7. Acarreo de grupo anticipado
 - 5.10.8. Sumadores en ABEL y PLD
 - 5.10.9. Suntadores en VHDL
- 5.11. Multiplicadores combinacionales
 - 5.11.1. Estructuras demultiplicadorcombinacional
 - 5.11.2. Multiplicación en ABEL y PLD
 - 5.11.3. Multiplicación en VHDL
- Referencias
- Problemas propuestos
- Ejercicios

6. EJEMPLOS DE DISEÑO DE CIRCUITOS COMBINACIONALES

- 6.1. Ejemplos de diseño de bloques de construcción
 - 6.1.1. Desplazador rápido (Barrel shifter)
 - 6.1.2. Codificador de puntoflotante simple
 - 6.1.3. Codificador de prioridad dual

- 6.1.4. Comparadores en cascada
 - 6.1.5. Comparador dependiente del modo
 - 6.2. Ejemplos de diseño usando ABEL y PLID
 - 6.2.1. Desplazador rápido
 - 6.2.2. Codificador de puntoflotante simple
 - 6.2.3. Codificador de prioridad dual
 - 6.2.4. Comparadores en cascada
 - 6.2.5. Comparador dependiente del modo
 - 6.2.6. Contador de unos
 - 6.2.7. Juego de "Tres en raya" o "Gato"
 - 6.3. Ejemplos de diseño utilizando VHDL
 - 6.3.1. Desplazador rápido
 - 6.3.2. Codificador de punto flotante simple
 - 6.3.3. Codificador de prioridad dual
 - 6.3.4. Comparadores en cascada
 - 6.3.5. Comparador dependiente del modo
 - 6.3.6. Contador de unos
 - 6.3.7. Juego de "Tres en raya" o "Gato"
- Ejercicios

7. PRINCIPIOS DE DISEÑO LÓGICO SECUENCIAL

- 7.1. Elementos biestables
 - 7.1.1. Análisis digital
 - 7.1.2. Análisis analógico
 - 7.1.3. Comportamiento metaestable
- 7.2. Latches y flip-flops
 - 7.2.1. Latch S-R
 - 7.2.2. Latch S-R
 - 7.2.3. Latch S-R con habilitación
 - 7.2.4. Latch D
 - 7.2.5. Flip-flop D disparado porflanco
 - 7.2.6. Flip-flop D disparado porflanco con habilitación
 - 7.2.7. Flip-flop de exploración
 - 7.2.8. Flip-flop S-R maestro-esclavo
 - 7.2.9. Flip-flop J-K maestro-esclavo
 - 7.2.10. Flip-flop J-K disparado porflanco
 - 7.2.11. Flip-flop T
- 7.3. Análisis de una máquina de estado sincrónica temporizada
 - 7.3.1. Estructura de la máquina de estado
 - 7.3.2. Lógica de salida
 - 7.3.3. Ecuaciones características
 - 7.3.4. Análisis de máquinas de estado con flip-flops D
 - 7.3.5. Análisis de máquinas de estado con flip-flops J-K
- 7.4. Diseño de máquina de estado sincrónica temporizada
 - 7.4.1. Ejemplo de diseño de tabla de estado
 - 7.4.2. Minimización de estado
 - 7.4.3. Asignación de estado
 - 7.4.4. Síntesis utilizando flip-flops D
 - 7.4.5. Síntesis utilizando flip-flops J-K
 - 7.4.6. Más ejemplos de diseño que utilizan flip-flops D
- 7.5. Diseño de máquinas de estado que utilizan diagramas de estado
- 7.6. Síntesis de una máquina de estado que utiliza listas de transición
 - 7.6.1. Ecuaciones de transición
 - 7.6.2. Ecuaciones de excitación
 - 7.6.3. Variaciones sobre el esquema
 - 7.6.4. Realización de la máquina de estado

- 7.7. Otro ejemplo de diseño de máquina de estado
 - 7.7.1. El Juego de las adivinanzas
 - 7.7.2. Estados sin utilizar
 - 7.7.3. Asignación de estado codificado por salida
 - 7.7.4. Codificaciones de estado "sin importancia"
- 7.8. Descomposición de las máquinas de estado
- 7.9. Circuitos secuenciales de retroalimentación
 - 7.9.1. Análisis
 - 7.9.2. Análisis de circuitos con lazos de retroalimentación múltiple
 - 7.9.3. Carreras
 - 7.9.4. Tablas de estado y tablas de flujo
 - 7.9.5. Análisis de flip-flop D CMOS
- 7.10. Diseño de circuito secuencial de retroalimentación
 - 7.10.1. Latches
 - 7.10.2. Diseño de tabla de flujo de modofundamental
 - 7.10.3. Minimización de la tabla de flujo
 - 7.10.4. Asignación de estado libre de carreras
 - 7.10.5. Ecuaciones de excitación
 - 7.10.6. Riesgos esenciales
 - 7.10.7. Resumen
- 7.11. Características de diseño de circuito secuencial ABEL
 - 7.11.1. Salidas registradas
 - 7.11.2. Diagramas de estado
 - 7.11.3. Memoria de estado externa
 - 7.11.4. Especificación de salidas de Moore
 - 7.11.5. Especificación de salidas Mealy y canalizadas con WITH
 - 7.11.6. Vectores de prueba
- 7.12. Características de diseño de circuito secuencial VHDL
 - 7.12.1. Circuitos secuenciales de retroalimentación
 - 7.12.2. Circuitos temporizados
- Referencias
- Problemas propuestos
- Ejercicios

8. PRÁCTICAS DE DISEÑO LÓGICO SECUENCIAL

- 8.1. Estándares de documentación de circuitos secuenciales
 - 8.1.1. Requerimientos generales
 - 8.1.2. Símbolos lógicos
 - 8.1.3. Descripciones de máquina de estado
 - 8.1.4. Especificaciones y diagramas de tiempo
- 8.2. Latches y flip-flops
 - 8.2.1. Latches y flip-flops SSI
 - 8.2.2. Inhibición del rebote de un interruptor
 - 8.2.3. El inhibidor de rebote para el interruptor más simple
 - 8.2.4. Circuito retenedor de bus
 - 8.2.5. Registros y latches de bits múltiples
 - 8.2.6. Registros y latches en ABEL y PLD
 - 8.2.7. Registros y latches en VHDL
- 8.3. PLD secuenciales
 - 8.3.1. PLD secuenciales bipolares
 - 8.3.2. Dispositivos GAL secuenciales
 - 8.3.3. Especificaciones de temporización del PLD
- 8.4. Contadores
 - 8.4.1. Contadores iterativos
 - 8.4.2. Contadores sincrónicos
 - 8.4.3. Contadores MSI y aplicaciones

- 8.4.4. Decodificación de estados de contador binario
- 8.4.5. Contadores en ABEL y VHDL
- 8.4.6. Contadores en VHDL
- 8.5. Registros de corrimiento
 - 8.5.1. Estructura del registro de corrimiento
 - 8.5.2. Registros de corrimiento MSI
 - 8.5.3. La más grande aplicación de registro de corrimiento del mundo
 - 8.5.4. Conversión serie a paralelo
 - 8.5.5. Contadores de registro de corrimiento
 - 8.5.6. Contador en anillo
 - 8.5.7. Contadores Johnson
 - 8.5.8. Contadores de registro de corrimiento con retroalimentación lineal
 - 8.5.9. Registros de corrimiento en ABEL y PLD
 - 8.5.10. Registros de corrimiento en VHDL
- 8.6. Circuitos iterativos contra secuenciales
- 8.7. Metodología de diseño síncrono
 - 8.7.1. Estructura del sistema síncrono
 - 8.7.2. Un ejemplo de diseño de sistema síncrono
- 8.8. Impedimentos para el diseño síncrono
 - 8.8.1. Sesgo de reloj
 - 8.8.2. Disparo del reloj
 - 8.8.3. Entradas asíncronas
- 8.9. Falla del sincronizador y metaestabilidad
 - 8.9.1. Falla de sincronizador
 - 8.9.2. Tiempo de resolución de la metaestabilidad
 - 8.9.3. Diseño de sincronizador confiable
 - 8.9.4. Análisis de la temporización metaestable
 - 8.9.5. Mejores sincronizadores
 - 8.9.1. Otros diseños de sincronizador
 - 8.9.7. Flip-flops metaestables endurecidos
 - 8.9.8. Sincronización de transferencias de datos de alta velocidad
- Referencias
- Problemas propuestos
- Ejercicios

9. EJEMPLOS DE DISEÑO DE CIRCUITOS SECUENCIALES

- 9.1. Ejemplos de diseño que utilizan ABEL y PLD
 - 9.1.1. Temporización y encapsulamiento de máquinas de estado basadas en PLD
 - 9.1.2. Varias máquinas simples
 - 9.1.3. Las luces traseras del Ford Thunderbird
 - 9.1.4. El juego de las adivinanzas
 - 9.1.5. Reinención de los controladores de semáforos
- 9.2. Ejemplos de diseño que utilizan VHDL
 - 9.2.1. Ejemplos de varias máquinas simples
 - 9.2.2. Las luces traseras del Thunderbird
 - 9.2.3. El juego de las adivinanzas
 - 9.2.4. Reinención de los controladores de semáforos

10. MEMORIAS, DISPOSITIVOS CPLD Y FPGA

- 10.1. Memoria de sólo lectura
 - 10.1.1. Uso de las memorias ROM para funciones lógicas combinacionales "aleatorias"
 - 10.1.2. Estructura interna de la ROM
 - 10.1.3. Decodificación bidimensional
 - 10.1.4. Tipos comerciales de ROM
 - 10.1.5. Temporización y entradas de control de ROM
 - 10.1.6. Aplicaciones de ROM

- 10.2. Memoria de lectura/escritura
 - 10.3. RAM estática
 - 10.3.1. Entradas y salidas de la RAM estática
 - 10.3.2. Estructura interna de la RAM estática
 - 10.3.3. Temporización de RAM estática
 - 10.3.4. RAM estáticas estándar
 - 10.3.5. SPAM sincrónica
 - 10.4. RAM dinámica 866
 - 10.4.1. Estructura de una memoria dinámica tipo RAM
 - 10.4.2. Temporización de la RAM dinámica
 - 10.4.3. DRAM sincrónicas
 - 10.5. Dispositivos lógicos programables complejos
 - 10.5.1. Lafamilia CPLD XC9500 de Xilinx
 - 10.5.2. Arquitectura de bloque de defunción
 - 10.5.3. Arquitectura de bloque de entradalsalida
 - 10.5.4. Matriz de conmutación
 - 10.6. Arreglos de compuertas programable por campo
 - 10.6.1. La familia FPGA XC4000 de Xilffix
 - 10.6.2. Bloque de lógica configurable
 - 10.6.3. Bloque de entradalsalida
 - 10.6.4. Interconexión programable
- Ejercicios

11. TEMAS ADICIONALES DEL MUNDO REAL

- 11.1. Herramientas de diseño asistido por computadora
 - 11.1.1. Lenguajes de descripción de hardware
 - 11.1.2. Captura de diagramas esquemáticos
 - 11.1.3. Especificaciones y diagramas de temporización
 - 11.1.4. Análisis y simulación del circuito
 - 11.1.5. Asignación de componentes en la tarjeta de circuito impreso
- 11.2. Diseño para pruebas
 - 11.2.1. Pruebas
 - 11.2.2. Dispositivos de prueba y equipos de prueba en el circuito
 - 11.2.3. Métodos de exploración
- 11.3. Estimación de la confiabilidad del sistema digital
 - 11.3.1. Índice defallas
 - 11.3.2. Confiabilidad tiempo medio entrefallas
 - 11.3.3. Confiabilidad del sistema
- 11.4. Líneas de transmisión, reflexiones y terminaciones
 - 11.4.1. Teoría básica de la línea de transmisión
 - 11.4.2. Interconexiones de señal lógica como líneas de transmisión
 - 11.4.3. Terminaciones de señal lógica

Referencias