

FUNDAMENTOS DE LOGICA DIGITAL CON DISEÑO VHDL

por BROWN

Isbn 9701056094

Indice del Contenido

Capítulo 1. CONCEPTOS DE DISEÑO

- 1.1. Hardware digital
 - 1.1.1. Chips estándar
 - 1.1.2. Dispositivos lógicos programables
 - 1.1.3. Chips diseñados a la medida
 - 1.2. El proceso de diseño
 - 1.3. Diseño de hardware digital
 - 1.3.1. Ciclo de diseño básico
 - 1.3.2. Estructura de una computadora
 - 1.3.3. Diseño de una unidad de hardware digital
 - 1.4. Diseño de circuitos lógicos en este libro
 - 1.5. Teoría y práctica
- Bibliografía

Capítulo 2. INTRODUCCIÓN A LOS CIRCUITOS LÓGICOS

- 2.1. Variables y funciones
 - 2.2. Inversión
 - 2.3. Tablas de verdad
 - 2.4. Compuertas lógicas y circuitos
 - 2.4.1. Análisis de una red lógica
 - 2.5. Álgebra booleana
 - 2.5.1. Los diagramas de Venn
 - 2.5.2. Notación y terminología
 - 2.5.3. Precedencia de las operaciones
 - 2.6. La síntesis con compuertas AND, OR y NOT
 - 2.6.1. Formas de productos de sumas y sumas de productos
 - 2.7. Circuitos lógicos NAND y NOR
 - 2.8. Ejemplos de diseño
 - 2.8.1. Control de luz de tres vías
 - 2.8.2. Circuito multiplexor
 - 2.9. Introducción a las herramientas CAD
 - 2.9.1. Ingreso del diseño
 - 2.9.2. Síntesis
 - 2.9.3. Simulación funcional
 - 2.9.4. Diseño físico
 - 2.9.5. Simulación de tiempo
 - 2.9.6. Configuración de chip
 - 2.10. Introducción a VHDL
 - 2.10.1. Representación de señales digitales en VHDL
 - 2.10.2. Cómo escribir código sencillo en VHDL
 - 2.10.3. Cómo no escribir código de VHDL
 - 2.11. Comentarios finales
 - 2.12. Ejemplos de problemas resueltos
- Problemas
- Bibliografía

Capítulo 3. TECNOLOGÍA DE IMPLEMENTACIÓN

- 3.1. Interruptores de transición

- 3.2. Compuertas lógicas NMOS
 - 3.3. Compuertas lógicas CMOS
 - 3.3.1. Velocidad de los circuitos de compuerta lógica
 - 3.4. Sistema de lógica negativa
 - 3.5. Chips estándar
 - 3.5.1. Chips estándar de la serie 7400
 - 3.6. Dispositivos lógicos programables
 - 3.6.1. Arreglo lógico programable (PLA)
 - 3.6.2. Lógica de arreglo programable
 - 3.6.3. Programación de PLA y PAL
 - 3.6.4. Dispositivos lógicos programables complejos (CPLD)
 - 3.6.5. Arreglos de compuertas de campos programables
 - 3.6.6. Uso de herramientas CAD para implementar circuitos en CPLD y FPGA
 - 3.6.7. Aplicaciones de los CPLD y FPGA
 - 3.7. Chips diseñados a la medida, celdas estándar y arreglos de compuertas
 - 3.8. Aspectos prácticos
 - 3.8.1. Fabricación y comportamiento de los MOSFET
 - 3.8.2. MOSFET con resistencia de encendido (on-resistance)
 - 3.8.3. Niveles de voltaje en compuertas lógicas
 - 3.8.4. Margen de ruido
 - 3.8.5. Operación dinámica de las compuertas lógicas
 - 3.8.6. Disipación de potencia en las compuertas lógicas
 - 3.8.7. Paso de 1 y 0 mediante interruptores de transistor
 - 3.8.8. Factores de carga de entrada y de salida en las compuertas lógicas
 - 3.9. Compuertas de transmisión
 - 3.9.1. Compuertas OR exclusiva
 - 3.9.2. Circuito multiplexor
 - 3.10. Detalles de implementación para SPLD, CPLD y FPGA
 - 3.10.1. Implementación en FPGA
 - 3.11. Comentarios finales
 - 3.12. Ejemplos de problemas resueltos
- Problemas
- Bibliografía

Capítulo 4. IMPLEMENTACIÓN OPTIMIZADA DE FUNCIONES LÓGICAS

- 4.1. Mapa de Karnaugh
- 4.2. Estrategia de minimización
 - 4.2.1. Terminología
 - 4.2.2. Procedimiento de minimización
- 4.3. Minimización de formas de producto de sumas
- 4.4. Funciones especificadas de manera incompleta
- 4.5. Circuitos de salida múltiple
- 4.6. Síntesis multinivel
 - 4.6.1. Factorización
 - 4.6.2. Descomposición funcional
 - 4.6.3. Circuitos NAND y NOR multinivel
- 4.7. Análisis de circuitos multinivel
- 4.8. Representación cúbica
 - 4.8.1. Cubos e hipercubos
- 4.9. Un método tabular para minimización
 - 4.9.1. Generación de implicantes primos
 - 4.9.2. Determinación de una cobertura mínima
 - 4.9.3. Resumen del método tabular
- 4.10. Una técnica cúbica de minimización
 - 4.10.1. Determinación de los implicantes primos esenciales
 - 4.10.2. Procedimiento completo para hallar una cobertura mínima

- 4.11. Consideraciones prácticas
 - 4.12. Ejemplos de circuitos sintetizados a partir de código de VHDL
 - 4.13. Comentarios finales
 - 4.14. Ejemplos de problemas resueltos
- Problemas
Bibliografía

Capítulo 5. REPRESENTACIÓN DE NÚMEROS Y CIRCUITOS ARITMÉTICOS

- 5.1. Representación numérica posicional
 - 5.1.1. Enteros sin signo
 - 5.1.2. Conversión entre sistemas decimal y binario
 - 5.1.3. Representaciones octal y hexadecimal
 - 5.2. Suma de números sin signo
 - 5.2.1. Sumador completo descompuesto
 - 5.2.2. Sumador con acarreo en cascada
 - 5.2.3. Ejemplo de diseño
 - 5.3. Números con signo
 - 5.3.1. Números negativos
 - 5.3.2. Suma y resta
 - 5.3.3. Unidad sumadora y restadora
 - 5.3.4. Esquema de complemento a la base (raíz)
 - 5.3.5. Desbordamiento aritmético
 - 5.3.6. Problemas de rendimiento
 - 5.4. Sumadores veloces
 - 5.4.1. Sumador con acarreo de adelanto
 - 5.5. Diseño de circuitos aritméticos con el uso de herramientas CAD
 - 5.5.1. Diseño de circuitos aritméticos con el uso de captura esquemática
 - 5.5.2. Diseño de circuitos aritméticos con VHDL
 - 5.5.3. Representación de números en código de VHDL
 - 5.5.4. Instrucciones de asignación aritmética
 - 5.6. Multiplicación
 - 5.6.1. Arreglo multiplicador para números sin signo
 - 5.6.2. Multiplicación de números con signo
 - 5.7. Otras representaciones numéricas
 - 5.7.1. Números con punto fijo
 - 5.7.2. Números con punto flotante
 - 5.7.3. Representación decimal codificado en binario
 - 5.8. Código de caracteres ASCII
 - 5.9. Ejemplos de problemas resueltos
- Problemas
Bibliografía

Capítulo 6. BLOQUES CONSTRUCTORES DE CIRCUITOS COMBINACIONALES

- 6.1. Multiplexores
 - 6.1.1. Síntesis de funciones lógicas mediante multiplexores
 - 6.1.2. Síntesis de multiplexores mediante la expansión de Shannon
- 6.2. Decodificadores
 - 6.2.1. Demultiplexores
- 6.3. Codificadores
 - 6.3.1. Codificadores binarios
 - 6.3.2. Codificadores de prioridad
- 6.4. Convertidores de código
- 6.5. Circuitos de comparación aritmética
- 6.6. VHDL para circuitos combinacionales
 - 6.6.1. Instrucciones de asignación

- 6.6.2. Asignación de señal seleccionada
- 6.6.3. Asignación de señal condicional
- 6.6.4. Instrucciones de generación
- 6.6.5. Instrucciones de asignación concurrente y secuencia)
- 6.6.6. Instrucción PROCESS
- 6.6.7. Instrucción CASE
- 6.6.8. Operadores de VHDL
- 6.7. Comentarios finales
- 6.8. Ejemplos de problemas resueltos
- Problemas
- Bibliografía

Capítulo 7. FLIP-FLOPS, REGISTROS, CONTADORES Y UN PROCESADOR SIMPLE

- 7.1. El latch básico
- 7.2. Latch SR asíncrono
 - 7.2.1. Latch SR asíncrono con compuertas NAND
- 7.3. Latch D asíncrono
 - 7.3.1. Efectos de los retrasos de propagación
- 7.4. Flip-flops D maestro-esclavo y disparado por flanco
 - 7.4.1. Flip-flop D maestro-esclavo
 - 7.4.2. Flip-flop D disparado por flanco
 - 7.4.3. Flip-flops D con Clear y Preset
- 7.5. Flip-flop T
 - 7.5.1. Flip-flops configurables
- 7.6. Flip-flop JK
- 7.7. Resumen de terminología
- 7.8. Registros
 - 7.8.1. Registro de corrimiento
 - 7.8.2. Registro de corrimiento con acceso en paralelo
- 7.9. Contadores
 - 7.9.1. Contadores asíncronos
 - 7.9.2. Contadores síncronos
 - 7.9.3. Contadores con carga en paralelo
- 7.10. Reset síncrono
- 7.11. Otros tipos de contadores
 - 7.11.1. Contador BCD
 - 7.11.2. Contador en anillo
 - 7.11.3. Contador Johnson
 - 7.11.4. Comentarios sobre el diseño del contador
- 7.12. Uso de elementos de almacenamiento con herramientas CAD
 - 7.12.1. Inclusión de elementos de almacenamiento en esquemas
 - 7.12.2. Uso de constructores de VHDL para elementos de almacenamiento
- 7.13. Uso de registros y contadores con herramientas CAD
 - 7.13.1. Inclusión de registros y contadores en esquemas
 - 7.13.2. Registros y contadores en código de VHDL
 - 7.13.3. Uso de instrucciones secuenciales de VHDL para registros y contadores
- 7.14. Ejemplos de diseño
 - 7.14.1. Estructura de bus
 - 7.14.2. Procesador simple
 - 7.14.3. Contador de tiempo de reacción
 - 7.14.4. Código de nivel de transferencia de registros (RTL)
- 7.15. Comentarios finales
- 7.16. Ejemplos de problemas resueltos
- Problemas
- Bibliografía

Capítulo 8. CIRCUITOS SÍNCRONOS SECUENCIALES

- 8.1. Pasos básicos de diseño
 - 8.1.1. Diagrama de estado
 - 8.1.2. Tabla de estado
 - 8.1.3. Asignación de estados
 - 8.1.4. Elección de flip-flops y derivación de las expresiones de estado siguiente y de salida
 - 8.1.5. Diagrama de tiempo
 - 8.1.6. Resumen de los pasos de diseño
 - 8.2. El problema de la asignación de estados
 - 8.2.1. Codificación de 1 activo
 - 8.3. Modelo de estado tipo Mealy
 - 8.4. Diseño de máquinas de estado finito con herramientas CAD
 - 8.4.1. Código de VHDL para FSM tipo Moore
 - 8.4.2. Síntesis del código de VHDL
 - 8.4.3. Simulación y prueba del circuito
 - 8.4.4. Un estilo alternativo de código de VHDL
 - 8.4.5. Resumen de los pasos de diseño cuando se usan herramientas CAD
 - 8.4.6. Especificación de la asignación de estados en el código de VHDL
 - 8.4.7. Especificación de FSM tipo Mealy con VHDL
 - 8.5. Ejemplo de sumador serial
 - 8.5.1. FSM tipo Mealy para sumador serial
 - 8.5.2. FSM tipo Moore para el sumador serial
 - 8.5.3. Código de VHDL para el sumador serial
 - 8.6. Minimización de estados
 - 8.6.1. Procedimiento de minimización por partición
 - 8.6.2. FSM especificadas de manera incompleta
 - 8.7. Diseño de un contador utilizando el enfoque del circuito secuencial
 - 8.7.1. Diagrama de estado y tabla de estado para un contador módulo 8
 - 8.7.2. Asignación de estados
 - 8.7.3. Implementación utilizando flip-flops D
 - 8.7.4. Implementación utilizando flip-flops JK
 - 8.7.5. Ejemplo. Un contador diferente
 - 8.8. FSM como un circuito árbitro
 - 8.8.1. Implementación del circuito árbitro
 - 8.8.2. Minimización de los retrasos de salida para una FSM
 - 8.8.3. Resumen
 - 8.9. Análisis de los circuitos secuenciales síncronos
 - 8.10. Cartas de la máquina algorítmica de estados (cartas ASM)
 - 8.11. Modelo formal para circuitos secuenciales
 - 8.12. Comentarios finales
 - 8.13. Ejemplos de problemas resueltos
- Problemas
- Bibliografía

Capítulo 9. CIRCUITOS SECUENCIALES ASÍNCRONOS

- 9.1. Comportamiento asíncrono
- 9.2. Análisis de los circuitos asíncronos
- 9.3. Síntesis de los circuitos asíncronos
- 9.4. Reducción de estados
- 9.5. Asignación de estados
 - 9.5.1. Diagrama de transición
 - 9.5.2. Cómo aprovechar las combinaciones de estado siguiente sin especificar
 - 9.5.3. Asignación de estados usando variables de estado adicionales
 - 9.5.4. Asignación de estados con codificación de 1 activo
- 9.6. Riesgos
 - 9.6.1. Riesgos estáticos

- 9.6.2. Riesgos dinámicos
- 9.6.3. Relevancia de los riesgos
- 9.7. Un ejemplo de diseño completo
- 9.7.1. El controlador de la máquina expendedora
- 9.8. Comentarios finales
- 9.9. Ejemplos de problemas resueltos
- Problemas
- Bibliografía

Capítulo 10. DISEÑO DE SISTEMAS DIGITALES

- 10.1. Circuitos de bloque de construcción
- 10.1.1. Flip-flops y registros con entradas enable
- 10.1.2. Registros de corrimiento con entradas enable
- 10.1.3. Memoria estática de acceso aleatorio (SRAM)
- 10.1.4. Bloques SRAM en PLD
- 10.2. Ejemplos de diseño
- 10.2.1. Un circuito de conteo de bits
- 10.2.2. Información de sincronización esbozada en la carta ASM
- 10.2.3. Multiplicador de corrimiento y suma
- 10.2.4. Divisor
- 10.2.5. Media aritmética
- 10.2.6. Operación de ordenación
- 10.3. Sincronización del reloj
- 10.3.1. Desviación del reloj
- 10.3.2. Parámetros de sincronización de los flip-flops
- 10.3.3. Entradas asíncronas a los flip-flops
- 10.3.4. Eliminación de rebotes en interruptores
- 10.4. Comentarios finales
- Problemas
- Bibliografía

Capítulo 11. PRUEBA DE LOS CIRCUITOS LÓGICOS

- 11.1. Modelo de fallas
- 11.1.1. Modelo de atascamiento (stuck-at)
- 11.1.2. Fallas individuales y múltiples
- 11.1.3. Circuitos CMOS
- 11.2. Complejidad de un conjunto de pruebas
- 11.3. Sensibilización de trayectorias
- 11.3.1. Detección de una falla específica
- 11.4. Circuitos con la estructura de árbol
- 11.5. Pruebas aleatorias
- 11.6. Pruebas de circuitos secuenciales
- 11.6.1. Diseño para la aplicación de pruebas
- 11.7. Prueba automatizada integrada
- 11.7.1. Observador de bloques lógicos integrado
- 11.7.2. Análisis de firmas
- 11.7.3. Boundary Scan
- 11.8. Tarjetas de circuitos impresos
- 11.8.1. Pruebas de las PCB
- 11.8.2. Instrumentación
- 11.9. Comentarios finales
- Problemas
- Bibliografía

Capítulo 12. HERRAMIENTAS DE DISEÑO ASISTIDO POR COMPUTADORA

- 12.1. Síntesis

- 12.1.1. Generación de la lista de redes
- 12.1.2. Optimización de compuertas
- 12.1.3. Mapeo de tecnología
- 12.2. Diseño físico
- 12.2.1. Colocación
- 12.2.2. Enrutamiento
- 12.2.3. Análisis de tiempo estático
- 12.3. Comentarios finales
- Bibliografía

Apéndice A. REFERENCIA DE VHDL

- A.1. Documentación en el código de VHDL
- A.2. Objetos de datos
 - A.2.1. Nombres de objetos de datos
 - A.2.2. Valores y números del objeto de datos
 - A.2.3. Objetos de datos SIGNAL
 - A.2.4. Tipos BIT y BIT-VECTOR
 - A.2.5. Tipos STD-LOGIC y STD-LOGIC-VECTOR
 - A.2.6. Tipos STD-ULOGIC
 - A.2.7. Tipos SIGNED y UNSIGNED
 - A.2.8. Tipo INTEGER
 - A.2.9. Tipo BOOLEAN
 - A.2.10. Tipo ENUMERATION
 - A.2.11. Objetos de datos CONSTANT
 - A.2.12. Objetos de datos VARIABLE
 - A.2.13. Conversión de tipos
 - A.2.14. Arreglos
- A.3. Operadores
- A.4. Entidad de diseño de VHDL
 - A.4.1. Declaración ENTITY
 - A.4.2. Arquitectura
- A.5. Paquete
- A.6. Uso de subcircuitos
 - A.6.1. Declaración de un componente en un paquete
- A.7. Instrucciones de asignación concurrente
 - A.7.1. Asignación de señal simple
 - A.7.2. Asignación de los valores de señal por medio de OTHERS
 - A.7.3. Asignación de señal seleccionada
 - A.7.4. Asignación de señal condicional
 - A.7.5. Instrucción GENERATE
- A.8. Definición de una entidad con GENERIC
- A.9. Instrucciones de asignación secuenciales
 - A.9.1. Instrucción PROCESS
 - A.9.2. Instrucción IF
 - A.9.3. Instrucción CASE
 - A.9.4. Instrucciones LOOP
 - A.9.5. Uso de un proceso para un circuito combinacional
 - A.9.6. Orden de las instrucciones
 - A.9.7. Uso de una variable en un proceso
- A.10. Circuitos secuenciales
 - A.10.1. Un latch D asíncrono
 - A.10.2. Flip-flop D
 - A.10.3. Uso de una instrucción WAIT UNTIL
 - A.10.4. Un flip-flop con reset asíncrono
 - A.10.5. Reset síncrono
 - A.10.6. Registros

- A.10.7. Registros de corrimiento
 - A.10.8. Contadores
 - A.10.9. Uso de subcircuitos con parámetros GENERIC
 - A.10.10. Una máquina de estado finito tipo Moore
 - A.10.11. Una máquina de estado finito tipo Mealy
 - A.11. Errores comunes en el código de VHDL
 - A.12. Comentarios finales
- Bibliografía

Apéndice B. TUTORIAL 1 USO DEL SOFTWARE CAD QUARTUS II

- B.1. Introducción
 - B.1.1. Primeros pasos
- B.2. Cómo empezar un proyecto nuevo
- B.3. Ingreso del diseño utilizando la captura esquemática
 - B.3.1. Uso del editor de bloques
 - B.3.2. La síntesis de un circuito a partir del esquema
 - B.3.3. Simulación del circuito diseñado
- B.4. Ingreso del diseño con VI-1131-
 - B.4.1. Creación de otro proyecto
 - B.4.2. Uso del editor de texto
 - B.4.3. Síntesis de un circuito a partir del código de VHDL
 - B.4.4. Ejecución de la simulación funcional
 - B.4.5. Cómo usar Quartus II para corregir errores código de VHDL
- B.5. Combinación de métodos de ingreso del diseño
 - B.5.1. Uso de un ingreso esquemático en nivel alto
 - B.5.2. Uso de VHDL en el nivel alto
- B.6. Ventanas de Quartus II
- B.7. Comentarios finales

Apéndice C. TUTORIAL 2 IMPLEMENTACIÓN DE CIRCUITOS EN DISPOSITIVOS DE ALTERA

- C.1. Implementación de un circuito en un CPLD MAX 7000
 - C.1.1. Selección de un chip
 - C.1.2. Compilación del proyecto
 - C.1.3. Realización de la simulación de tiempo
 - C.1.4. Uso del editor de gines (Floorplan Editor)
- C.2. Implementación de un circuito en un FPGA Cyclone
- C.3. Implementación de un sumador con Quartus II
 - C.3.1. El código del sumador de acarreo en cascada
 - C.3.2. Simulación del circuito
 - C.3.3. Simulación de tiempo
 - C.3.4. Implementación en un chip CPLD
- C.4. Uso de un módulo LPM
- C.5. Diseño de una máquina de estado finito
 - C.5.1. Implementación en un CPLD
 - C.5.2. Implementación en un FPGA
- C.6. Comentarios finales

Apéndice D. TUTORIAL 3 IMPLEMENTACIÓN FÍSICA EN UN PLD

- D.1. Asignaciones de gines
 - D.1.1. Análisis de las asignaciones de gines con el editor de gines
 - D.1.2. Recompilación del proyecto con asignaciones de gines
 - D.1.3. Cómo cambiar las asignaciones de gines con Floorplan Editor
- D.2. Descarga de un circuito en un dispositivo
- D.3. Comentarios finales

Apéndice E. DISPOSITIVOS COMERCIALES

- E.1. PLD simples
 - E.1.1. El dispositivo PAL 22V10
- E.2. PLD complejos
 - E.2.1. MAX 7000 de Altera
- E.3. Arreglos de compuerta programables por campo
 - E.3.1. FLEX IOK de Altera
 - E.3.2. XC4000 de Xilinx
 - E.3.3. APEX 20K de Altera
 - E.3.4. Stratix de Altera
 - E.3.5. Cyclone de Altera
 - E.3.6. Stratix II de Altera
 - E.3.7. Virtex de Xilinx
 - E.3.8. Virtex-II y Virtex-II Pro de Xilinx
 - E.3.9. Spartan-3 de Xilinx
- E.4. Lógica de transistor a transistor
 - E.4.1. Familias de circuitos TTL

Bibliografía

RESPUESTAS

ÍNDICE