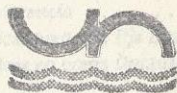


# Contenido



Nº

851

UNIVERSIDAD NACIONAL DE ENTRE RÍOS  
FACULTAD DE INGENIERÍA  
CENTRO DE MEDIOS  
BIBLIOTECA

## Capítulo 1. Introducción a los ordenadores

|  |    |
|--|----|
| 1. Introducción histórica: los precursores .....                                     | 2  |
| 2. Presentación general de un ordenador .....  | 3  |
| 2.1. La unidad central y la memoria central .....                                    | 3  |
| 2.2. Canales y unidades periféricas .....  | 4  |
| 3. Principio de funcionamiento de un ordenador: presentación general de Abacus ..... | 5  |
| 3.1. Los registros .....   | 5  |
| 3.2. La memoria central .....  | 6  |
| 3.3. El programa .....   | 7  |
| 3.4. La unidad aritmética-lógica .....   | 8  |
| 3.5. La unidad de control .....  | 8  |
| 3.6. Desarrollo de una instrucción de procesamiento .....                            | 8  |
| 3.6.1. Fase de búsqueda de la instrucción .....                                      | 8  |
| 3.6.2. Fase de búsqueda o de almacenamiento del operando .....                       | 9  |
| 3.6.2.1. Caso de búsqueda del operando, seguida de procesamiento .....               | 9  |
| 3.6.2.2. Caso del almacenamiento del operando .....                                  | 10 |
| 3.6.3. Fase de preparación de la instrucción siguiente .....                         | 10 |
| 3.7. Instrucción de ruptura de secuencia .....                                       | 10 |
| 3.8. El canal .....  | 11 |
| 3.9. Las unidades periféricas .....  | 11 |
| 3.10. Las interrupciones .....   | 12 |
| 3.11. Configuración de un sistema informático .....                                  | 12 |
| 4. Algunos órdenes de magnitud .....   | 12 |



|   |    |
|---|----|
| 5. Nociones sobre el hardware y el software                             | 13 |
| 6. Historia de las máquinas: las generaciones de ordenadores            | 14 |
| 6.1. Evolución de la tecnología   | 14 |
| 6.1.1. La miniaturización   | 15 |
| 6.1.2. La fiabilidad  | 15 |
| 6.1.3. La complejidad   | 15 |
| 6.1.4. La velocidad   | 16 |
| 6.2. Evolución de la explotación de los ordenadores                     | 16 |
| 7. Reconsideración del sistema de explotación                           | 19 |
| 8. Empleo de los ordenadores  | 20 |
| 8.1. El cálculo científico  | 20 |
| 8.2. La gestión   | 20 |
| 8.3. La guía de procesos  | 20 |
| 8.4. Los sistemas conversacionales                                      | 21 |
| 8.4.1. Los sistemas de consulta-respuesta y el acceso a bancos de datos | 21 |
| 8.4.2. La concepción asistida y las técnicas conversacionales gráficas  | 21 |
| <b>Capítulo 2. Estructura de la información digital.</b>                |    |
| 1. La información digital   | 23 |
| 1.1. La información digital elemental                                   | 23 |
| 1.2. Codificación   | 23 |
| 1.2.1. Ejemplo de codificación: el código de la herencia                | 23 |
| 1.3. Código redundante  | 24 |
| 1.3.1. Control dos entre tres   | 24 |
| 1.3.2. Control de paridad   | 25 |
| 1.3.3. Códigos autocorrectores de Hamming                               | 25 |
| 1.3.4. Códigos autodetectores del tipo p de n                           | 25 |
| 1.3.5. Empleo de los códigos redundantes                                | 25 |
| 1.4. Dimensión de las informaciones en un ordenador                     | 26 |
| 1.4.1. El carácter  | 26 |
| 1.4.2. La palabra   | 26 |
| 1.4.3. Máquinas de carácter y máquinas de palabra                       | 26 |
| 1.5. Conceptos de continente y de contenido                             | 27 |
| 2. Representación de los números  | 27 |
| 2.1. Repaso de los sistemas de numeración                               | 27 |
| 2.2. El sistema binario   | 28 |
| 2.3. Al margen del sistema binario                                      | 30 |
| 2.3.1. Aplicación a los códigos de Hamming                              | 30 |
| 2.3.2. Los códigos de Gray y binario reflejado                          | 31 |
| 2.4. Numeraciones octal y hexadecimal                                   | 32 |
| 2.5. Representaciones de los números binarios negativos                 | 33 |
| 2.6. Representación de los números decimales                            | 35 |
| 2.7. Formato de los números en las máquinas                             | 36 |
| 2.7.1. La coma fija   | 36 |
| 2.7.2. La coma flotante   | 37 |

|   |    |
|---|----|
| 2.7.3. Las cadenas decimales de longitud variable                   | 39 |
| 3. Codificación de las informaciones no numéricas                   | 39 |
| 3.1. Codificación de los caracteres                                 | 39 |
| 3.2. Codificación de las instrucciones                              | 40 |
| 4. Organización y búsqueda de las informaciones en la memoria       | 41 |
| 4.1. Conceptos de vector, de lista y de puntero                     | 41 |
| 4.2. Concepto de tabla  | 41 |
| 4.3. Conceptos de pila y de cola de espera                          | 42 |
| 4.4. Concepto de prefijo  | 42 |
| 5. Elementos de lenguaje de máquina                                 | 43 |
| 5.1. Forma general de las instrucciones aritméticas                 | 43 |
| 5.2. Conjunto de instrucciones de un computador                     | 44 |
| 5.3. Diferentes tipos de instrucciones                              | 45 |
| 5.3.1. Instrucciones de transferencia                               | 46 |
| 5.3.2. Instrucciones aritméticas en coma fija binaria               | 46 |
| 5.3.3. Instrucciones aritméticas en coma flotante binaria           | 46 |
| 5.3.4. Instrucciones lógicas  | 46 |
| 5.3.5. Instrucciones de desplazamiento                              | 47 |
| 5.3.6. Instrucciones aritméticas decimales fijas                    | 47 |
| 5.3.7. Instrucciones decimales flotantes                            | 47 |
| 5.3.8. Instrucciones de conversión                                  | 47 |
| 5.3.9. Instrucciones de movimiento de cadenas de caracteres         | 47 |
| 5.3.10. Instrucciones de salto                                      | 47 |
| 5.3.11. Instrucciones sobre estructuras elaboradas de informaciones | 48 |
| 5.3.12. Instrucciones de gobierno y de estado                       | 48 |
| 6. Nociones elementales sobre la estructura de programas            | 48 |
| 6.1. Cálculo de una expresión aritmética                            | 48 |
| 6.1.1. Programación en lenguaje de máquina                          | 48 |
| 6.1.2. Programación en lenguaje ensamblador                         | 49 |
| 6.1.3. Programación en lenguaje evolucionado                        | 50 |
| 6.2. Concepto de recurrencia; bucles, índices, registros de índice  | 50 |
| 6.2.1. Gestión de bucles en lenguaje evolucionado                   | 51 |
| 6.2.2. Gestión de bucles en lenguaje ensamblador                    | 51 |
| 6.2.2.1. Método por modificación de instrucción                     | 51 |
| 6.2.2.2. Método por registro de índice                              | 52 |
| 6.3. Concepto de subprograma  | 53 |
| 6.3.1. Preservación de la dirección de retorno                      | 53 |
| 6.3.2. Transmisión de los argumentos                                | 54 |
| 6.3.2.1. Transmisión a través de registros                          | 54 |
| 6.3.2.2. Transmisión a través de una zona fija común                | 54 |
| 6.3.2.3. Transmisión a través de secuencia de llamada               | 54 |
| 6.3.2.4. Transmisión a través de registro de base                   | 55 |
| 6.4. Invariancia, reapelabilidad y recursividad                     | 55 |
| 6.4.1. Concepto de invariancia                                      | 55 |
| 6.4.2. Concepto de reapelabilidad                                   | 55 |



|  |    |
|--|----|
| 6.4.3. Concepto de recursividad  | 56 |
| <b>Capítulo 3. Los circuitos lógicos.</b>                                |    |
| 1. Generalidades sobre circuitos lógicos                                 | 58 |
| 1.1. Representación eléctrica de las señales lógicas                     | 58 |
| 1.1.1. Señales lógicas y analógicas                                      | 58 |
| 1.1.2. Lógica de nivel   | 58 |
| 1.1.3. Lógica de impulsos  | 59 |
| 1.2. Transmisión en serie y transmisión en paralelo                      | 59 |
| 1.3. Circuitos combinacionales y circuitos secuenciales                  | 60 |
| 2. Elementos del álgebra de Boole  | 60 |
| 2.1. Variables lógicas   | 60 |
| 2.2. Funciones lógicas   | 60 |
| 2.3. Teoremas fundamentales del álgebra de Boole                         | 62 |
| 2.4. Generación y simplificación de expresiones booleanas                | 63 |
| 2.4.1. Generación de la expresión booleana correspondiente a una función | 63 |
| 2.4.2. Simplificación de expresiones lógicas                             | 64 |
| 2.4.3. Utilización de un número restringido de operaciones básicas       | 65 |
| 2.5. La función OR exclusiva   | 66 |
| 3. Concepto de autómata finito   | 67 |
| 3.1. Definición de los estados internos de un autómata finito            | 67 |
| 3.2. Funciones de transición   | 67 |
| 3.3. Ejemplos de autómatas finitos                                       | 68 |
| 3.3.1. Elemento de memoria de una posición binaria                       | 68 |
| 3.3.2. Autómata de suma binaria en serie                                 | 69 |
| 3.3.3. Autómata contador de 4 en 4                                       | 70 |
| 3.4. Autómatas y circuitos secuenciales                                  | 70 |
| 4. Circuitos lógicos básicos con semiconductores                         | 70 |
| 4.1. El diodo; los circuitos AND y OR                                    | 71 |
| 4.2. El transistor bipolar   | 72 |
| 4.2.1. El operador complementación                                       | 73 |
| 4.2.2. Etapas separadoras en las lógicas con diodos y transistores       | 73 |
| 5. Sistemas de dos estados   | 74 |
| 5.1. El biestable  | 74 |
| 5.2. El biestable RS   | 75 |
| 5.3. El biestable JK   | 76 |
| 5.4. El monoestable  | 77 |
| 5.5. La báscula  | 78 |
| 6. Matrices de diodos  | 78 |
| 6.1. Matriz rectangular de decodificación                                | 78 |
| 6.2. Matriz rectangular de codificación                                  | 79 |
| 7. Los sumadores   | 80 |
| 7.1. El semisumador  | 80 |
| 7.2. La etapa de sumador   | 81 |

|   |    |
|---|----|
| 7.2.1.  | 81 |
| 7.2.2. Realización de la etapa de sumador                           | 82 |
| 7.3. El sumador en serie  | 82 |
| 7.4. El sustractor  | 83 |
| 8. Buses y registros  | 84 |
| 8.1. Los registros  | 84 |
| 8.1.1. Operaciones elementales sobre los registros                  | 84 |
| 8.1.2. Transferencias en paralelo entre registros                   | 84 |
| 8.2. Los buses  | 84 |
| 8.3. El multiplexaje  | 85 |
| 9. Registros especiales   | 86 |
| 9.1. Registros de desplazamiento                                    | 86 |
| 9.2. Contadores de impulsos   | 87 |
| 10. Lógicas celulares   | 87 |
| 10.1. Introducción a las lógicas celulares                          | 87 |
| 10.1.1. Lógica celular interconectada a petición                    | 87 |
| 10.1.2. Lógicas celulares de interconexiones fijas                  | 88 |
| 10.2. Lógicas celulares de puntos de corte                          | 88 |
| 10.3. Lógicas celulares programables                                | 89 |
| 10.3.1. Lógica celular de interconexión                             | 89 |
| 10.3.2. Lógicas celulares para la evaluación de funciones booleanas | 90 |
| 10.4. Conclusión acerca de las lógicas celulares                    | 91 |
| 11. Redundancia de los circuitos y lógicas mayoritarias             | 92 |
| <b>Capítulo 4. Las memorias.</b>                                    |    |
| 1. Definición, clasificación, terminología                          | 95 |
| 1.1. Intento de definición  | 95 |
| 1.2. El punto de memoria  | 95 |
| 1.3. Clasificación tecnológica                                      | 95 |
| 1.3.1. Las memorias estáticas                                       | 95 |
| 1.3.2. Las memorias de propagación                                  | 95 |
| 1.3.3. Las memorias dinámicas                                       | 95 |
| 1.4. Características de las memorias                                | 95 |
| 1.4.1. Volatilidad  | 95 |
| 1.4.2. Lectura y escritura  | 96 |
| 1.4.3. Direcccionamiento  | 96 |
| 1.4.4. Modo de acceso   | 96 |
| 1.4.5. Tiempo de acceso   | 97 |
| 1.4.6. Caudal   | 97 |
| 1.4.7. Capacidad  | 97 |
| 1.4.8. Intercambiabilidad   | 98 |
| 1.5. La jerarquía de las memorias                                   | 98 |
| 1.5.1. Niveles jerárquicos en un sistema informático                | 98 |
| 1.5.1.1. Las memorias-tampón o memorias de anotaciones              | 98 |
| 1.5.1.2. La memoria central   | 98 |



|  |            |
|--|------------|
| 1.5.1.3. Extensiones de la memoria central . . . . .                           | 98         |
| 1.5.1.4. Memorias de masa . . . . .  | 99         |
| 1.5.1.5. Memorias ficheros . . . . .   | 99         |
| 1.5.2. Zonas de utilización de las diferentes tecnologías de memoria . . . . . | 99         |
| 1.6. Memorias especializadas . . . . .   | 100        |
| 1.6.1. Las pilas y colas de espera cableadas . . . . .                         | 100        |
| 1.6.2. Memorias muertas . . . . .  | 100        |
| 1.6.3. Memorias asociativas . . . . .  | 100        |
| 2. Memorias de núcleos . . . . .   | 101        |
| 2.1. Funcionamiento del núcleo . . . . .                                       | 101        |
| 2.2. Organización de las memorias de núcleos . . . . .                         | 102        |
| 2.2.1. Organización por palabras (u organización 2D). . . . .                  | 103        |
| 2.2.2. Selección por corrientes coincidentes (3D) . . . . .                    | 104        |
| 2.2.3. Selección 2 1/2 D . . . . .   | 104        |
| 2.2.4. Comparación entre los distintos tipos de selección . . . . .            | 105        |
| 3. Memorias de semiconductores . . . . .                                       | 105        |
| 4. Memorias asociativas . . . . .  | 106        |
| <b>Capítulo 5. Operadores aritméticos y lógicos</b> . . . . .                  | <b>109</b> |
| 1. Clasificación de los operadores aritméticos . . . . .                       | 109        |
| 2. La unidad aritmética-lógica elemental . . . . .                             | 109        |
| 2.1. Operaciones lógicas . . . . .   | 110        |
| 2.2. Operaciones de desplazamiento . . . . .                                   | 111        |
| 2.3. Adición y sustracción binarias . . . . .                                  | 112        |
| 2.3.1. Concepto de sumador binario en paralelo . . . . .                       | 112        |
| 2.3.2. Suma acelerada . . . . .  | 113        |
| 2.3.3. Adición y sustracción de números algebraicos binarios . . . . .         | 114        |
| 2.4. Unidad aritmética lógica para Abacus . . . . .                            | 116        |
| 3. Multiplicación y división binarias . . . . .                                | 116        |
| 3.1. Multiplicador secuencial por suma-desplazamiento . . . . .                | 117        |
| 3.2. Técnicas de multiplicación rápida . . . . .                               | 117        |
| 3.2.1. Mejora de la técnica de suma-desplazamiento . . . . .                   | 118        |
| 3.2.2. Multiplicador celular en paralelo . . . . .                             | 119        |
| 3.3. Estudio elemental de la división por sustracción-desplazamiento . . . . . | 121        |
| 3.4. División con y sin restauración . . . . .                                 | 122        |
| 4. Operaciones decimales . . . . .   | 123        |
| 4.1. El contador decimal . . . . .   | 123        |
| 4.2. El sumador decimal en paralelo . . . . .                                  | 124        |
| 5. Aritmética binaria en coma flotante . . . . .                               | 125        |
| 5.1. Suma y sustracción en coma flotante . . . . .                             | 125        |
| 5.1.1. Dificultades planteadas . . . . .                                       | 126        |
| 5.1.2. Funcionamiento de un operador de suma flotante . . . . .                | 126        |
| 5.2. Multiplicación y división en coma flotante . . . . .                      | 128        |

## Capítulo 6. La ruta de datos

|   |     |
|---|-----|
| 1. El encaminamiento de las informaciones en la unidad central . . . . .                | 130 |
| 1.1. Descripción esquemática de las transferencias de informaciones . . . . .           | 130 |
| 1.2. Descripción de la unidad central de Abacus . . . . .                               | 131 |
| 1.3. La instrucción de suma en Abacus . . . . .   | 133 |
| 1.3.1. Fase 1: Búsqueda de la instrucción . . . . .                                     | 133 |
| 1.3.2. Fase 2: Búsqueda del operando . . . . .  | 134 |
| 1.3.3. Fase 3: Ejecución de la suma . . . . .   | 135 |
| 1.3.4. Fase 4: Preparación de la próxima instrucción . . . . .                          | 136 |
| 1.3.5. Síntesis de la suma en Abacus . . . . .  | 137 |
| 1.4. Instrucción de almacenamiento en Abacus . . . . .                                  | 137 |
| 1.5. Instrucción de salto incondicional en Abacus . . . . .                             | 138 |
| 1.6. Recapitulación de las señales de gobierno de Abacus . . . . .                      | 139 |
| 2. Organización y componentes de la ruta de datos . . . . .                             | 141 |
| 2.1. Definición de la ruta de datos . . . . .   | 141 |
| 2.2. Los registros de la ruta de datos . . . . .  | 142 |
| 3. El encaminamiento de los operandos . . . . .   | 143 |
| 3.1. Esquemas con una sola unidad funcional . . . . .                                   | 143 |
| 3.1.1. Utilización de los registros aritméticos montados como memoria local . . . . .   | 143 |
| 3.1.2. Utilización de registros aritméticos independientes . . . . .                    | 144 |
| 3.1.3. Combinación de registros independientes y de una memoria local . . . . .         | 144 |
| 3.1.4. Adaptación de las unidades funcionales al formato de los operandos . . . . .     | 145 |
| 3.2. Esquemas con varias unidades funcionales . . . . .                                 | 145 |
| 3.2.1. Especialización de las unidades funcionales . . . . .                            | 145 |
| 3.2.2. Operaciones simultáneas . . . . .  | 145 |
| 4. El encaminamiento de las direcciones . . . . .                                       | 145 |
| 4.1. Diferentes clases de direccionamiento . . . . .                                    | 146 |
| 4.1.1. Direccionamiento normal (directo y absoluto) . . . . .                           | 146 |
| 4.1.2. Direccionamiento inmediato . . . . .   | 146 |
| 4.1.3. Direccionamiento indirecto . . . . .   | 147 |
| 4.1.4. Direccionamiento relativo . . . . .  | 147 |
| 4.1.4.1. Direccionamiento por base y desplazamiento . . . . .                           | 147 |
| 4.1.4.2. Direccionamiento por referencia al programa . . . . .                          | 148 |
| 4.1.4.3. Direccionamiento por página (o por yuxtaposición) . . . . .                    | 148 |
| 4.1.4.4. Complementos acerca del direccionamiento relativo . . . . .                    | 149 |
| 4.1.5. Direccionamiento indexado . . . . .  | 149 |
| 4.2. Relaciones entre los diferentes tipos de direccionamiento . . . . .                | 150 |
| 4.2.1. Pre-indexación y post-indexación . . . . .                                       | 150 |
| 4.2.2. Combinación de los diferentes tipos de direccionamiento . . . . .                | 150 |
| 4.2.3. Resumen sobre tipos de direccionamiento en un computador con registros . . . . . | 152 |
| 5. Evolución de la arquitectura de las rutas de datos . . . . .                         | 152 |
| 5.1. Máquinas de la segunda generación . . . . .  | 152 |
| 5.1.1. Ordenador científico de la segunda generación . . . . .                          | 152 |
| 5.1.2. Ordenador de gestión de la segunda generación . . . . .                          | 153 |



|  |     |
|--|-----|
| 5.2. Máquinas de la tercera generación . . . . .   | 155 |
| 5.2.1. Superabacus o el uso de los registros banalizados . . . . .                           | 155 |
| 5.2.1.1. Descripción general de la ruta de datos de Superabacus . . . . .                    | 155 |
| 5.2.1.2. Primer ejemplo de instrucción y de direccionamiento:<br>Superabacus I . . . . .     | 155 |
| 5.2.1.3. Segundo ejemplo de instrucción y de direccionamiento:<br>Superabacus II . . . . .   | 158 |
| 5.2.1.4. Algunas instrucciones de Superabacus . . . . .                                      | 158 |
| 5.2.2. Introducción a los ordenadores mixtos, científicos y de gestión . . . . .             | 159 |
| 5.2.2.1. Direccionamiento de las palabras y de los caracteres . . . . .                      | 159 |
| 5.2.2.2. Las instrucciones de longitud variable . . . . .                                    | 160 |
| 5.2.2.3. La ruta de datos de los ordenadores mixtos . . . . .                                | 160 |
| 5.2.3. Organización de la ruta de datos en una gama de calculadores<br>compatibles . . . . . | 161 |
| 5.2.3.1. Breve descripción de la lógica IBM 360 . . . . .                                    | 161 |
| 5.2.3.2. La ruta de datos de los diferentes modelos de la serie 360 . . . . .                | 161 |
| 5.3. Introducción a los procedimientos de mejora de los rendimientos . . . . .               | 162 |
| 5.3.1. Solapamiento de los ciclos de memoria . . . . .                                       | 163 |
| 5.3.2. Nociones de anticipación y de ante-memoria . . . . .                                  | 165 |
| 5.3.2.1. La anticipación explícita . . . . .   | 166 |
| 5.3.2.2. La anticipación implícita . . . . .   | 166 |
| 5.3.3. Uso en paralelo de varios operadores aritméticos . . . . .                            | 167 |
| <br><b>Capítulo 7. El secuenciamiento de las instrucciones</b>                               |     |
| 1. Concepto de secuenciador central . . . . .  | 170 |
| 1.1. Entradas y salidas del secuenciador . . . . .   | 170 |
| 1.2. Calculadores síncronos o asíncronos . . . . .   | 171 |
| 1.3. Secuenciadores cableados y secuenciadores microprogramados . . . . .                    | 171 |
| 2. Secuenciadores de lógica cableada . . . . .   | 171 |
| 2.1. Principio del secuenciamiento . . . . .   | 171 |
| 2.2. El distribuidor de fases . . . . .  | 173 |
| 2.3. Decodificación de la instrucción . . . . .  | 175 |
| 2.4. Bistables de estado . . . . .   | 176 |
| 2.5. Trazado de los cronogramas . . . . .  | 176 |
| 2.6. Las ecuaciones lógicas . . . . .  | 178 |
| 2.7. Reflexiones acerca de la concepción de los secuenciadores cableados . . . . .           | 183 |
| 3. Secuenciamiento de los operadores aritméticos . . . . .                                   | 183 |
| 3.1. Métodos generales . . . . .   | 183 |
| 3.2. Secuenciamiento de un operador de multiplicación por suma-desplazamiento . . . . .      | 183 |
| 4. La microprogramación . . . . .  | 184 |
| 4.1. Definición y terminología . . . . .   | 184 |
| 4.2. Estructura de la unidad de control de una máquina microprogramada . . . . .             | 186 |
| 4.2.1. El modelo de Wilkes . . . . .   | 186 |
| 4.2.2. La memoria de control . . . . .   | 187 |
| 4.2.3. Codificación de las micro-instrucciones . . . . .                                     | 188 |

|   |     |
|---|-----|
| 4.2.3.1. Codificación tipo instrucción . . . . .  | 188 |
| 4.2.3.2. Codificación por campos . . . . .  | 188 |
| 4.2.4. Direccionamiento de las micro-instrucciones . . . . .  | 189 |
| 4.2.4.1. Direccionamiento secuencial . . . . .  | 189 |
| 4.2.4.2. Direccionamiento explícito . . . . .   | 189 |
| 4.2.5. El acompasamiento en las máquinas microprogramadas . . . . .   | 190 |
| 4.2.5.1. Acompasamiento del desarrollo de una micro-instrucción . . . . .                                     | 190 |
| 4.2.5.2. Acompasamiento de las demandas de las micro-instrucciones . . . . .                                  | 190 |
| 4.2.6. Concepto de macromáquina y de micromáquina . . . . .   | 191 |
| 4.2.7. Ordenadores parcialmente microprogramados . . . . .  | 191 |
| 4.2.8. Microprogramación a dos niveles . . . . .  | 192 |
| 4.3. Ejemplo de máquina microprogramada . . . . .   | 192 |
| 4.3.1. La ruta de datos y su control microprogramado . . . . .  | 192 |
| 4.3.2. Presentación de Microabacus . . . . .  | 194 |
| 4.3.3. El microprograma de suma en Microabacus . . . . .  | 196 |
| 4.4. Usos y ventajas de la microprogramación . . . . .  | 196 |
| 5. Inicialización de un computador . . . . .  | 197 |
| <br><b>Capítulo 8. Los intercambios de información con el exterior</b>  |     |
| 1. Introducción . . . . .   | 199 |
| 1.1. Terminología . . . . .   | 199 |
| 1.2. Introducción histórica al concepto de simultaneidad entre procesamientos<br>y entradas-salidas . . . . . | 199 |
| 1.2.1. Modo bloqueado . . . . .   | 200 |
| 1.2.2. Modo por prueba de estado . . . . .  | 200 |
| 1.2.3. Modo por interrupción de programa . . . . .  | 200 |
| 1.2.4. Modo automático por suspensión de programa . . . . .   | 200 |
| 1.2.5. Encadenamiento automático de las transferencias . . . . .  | 201 |
| 2. Conceptos y técnicas de base . . . . .   | 202 |
| 2.1. Noción de "interfase" . . . . .  | 202 |
| 2.1.1. Descripción de una salida de información . . . . .   | 203 |
| 2.1.2. Descripción de una entrada de información . . . . .  | 203 |
| 2.2. Noción de multiplaje . . . . .   | 203 |
| 2.3. Líneas "omnibus" . . . . .   | 204 |
| 2.4. Concentración y fraccionamiento de las informaciones . . . . .   | 205 |
| 2.5. Diferentes técnicas de ejecución de una transferencia elemental . . . . .                                | 205 |
| 2.5.1. Transferencia programada . . . . .   | 206 |
| 2.5.2. Transferencia por instrucción forzada . . . . .  | 206 |
| 2.5.3. Transferencia por robo de ciclo . . . . .  | 206 |
| 2.5.4. Transferencia por acceso directo a memoria . . . . .   | 206 |
| 2.5.5. Resumen acerca de las transferencias elementales . . . . .   | 207 |
| 3. Los canales . . . . .  | 208 |
| 3.1. Enlace programado . . . . .  | 208 |
| 3.2. Canal automático: modo canal . . . . .   | 211 |
| 3.3. Encadenamiento de datos . . . . .  | 213 |



|  |     |
|--|-----|
| 3.4. Noción de programa de canal . . . . .   | 214 |
| 3.5. Canal multiplado en el tiempo . . . . .   | 217 |
| 3.5.1. <i>Diálogo inicializado por el canal</i> . . . . .  | 218 |
| 3.5.2. <i>Diálogo inicializado por un controlador periférico</i> . . . . .   | 219 |
| 3.6. Canal multiplado por bloques . . . . .  | 220 |
| 3.7. Unidad de intercambio flotante (o canal flotante) . . . . .   | 221 |
| 3.8. Canales especializados . . . . .  | 222 |
| 4. Controladores de periféricos . . . . .  | 223 |
| 5. Interrupciones prioritarias . . . . .   | 223 |
| 5.1. Generalidades . . . . .   | 223 |
| 5.2. Descripción de un sistema jerarquizado de interrupciones prioritarias . . . . .                                     | 225 |
| 5.3. Acuse de una interrupción . . . . .   | 226 |
| 5.4. Instrucciones de gobierno del sistema de interrupción . . . . .   | 227 |
| 6. Influencia de los sistemas de entrada-salida sobre la organización general de las máquinas . . . . .                  | 227 |
| 6.1. Canales y potencias de ordenador . . . . .  | 228 |
| 6.1.1. <i>Ordenadores pequeños</i> . . . . .   | 228 |
| 6.1.2. <i>Ordenadores medios</i> . . . . .   | 228 |
| 6.1.3. <i>Ordenadores grandes</i> . . . . .  | 228 |
| 6.2. Organización en torno a un bus único . . . . .  | 228 |
| 6.3. Influencia de las entradas-salidas sobre la organización de la memoria central en los grandes ordenadores . . . . . | 229 |
| <b>Capítulo 9. Máquinas de pilas.</b>  |     |
| 1. Máquinas de pilas y lenguajes de alto nivel . . . . .   | 232 |
| 2. Principio y técnica de la realización de las pilas . . . . .  | 232 |
| 2.1. Mecanismo de la pila . . . . .  | 232 |
| 2.2. Gestión de una pila implantada en memoria . . . . .   | 232 |
| 2.3. Realización de una pila cableada . . . . .  | 233 |
| 2.4. Organización de una pila parcialmente cableada . . . . .  | 234 |
| 3. Cálculo de expresiones aritméticas . . . . .  | 235 |
| 3.1. Notación polaca . . . . .   | 235 |
| 3.2. Cálculo de expresiones aritméticas escritas en forma polaca . . . . .   | 235 |
| 4. Asignación dinámica de memoria a las variables . . . . .  | 237 |
| 4.1. Repaso de la estructura de los programas en ALGOL . . . . .   | 237 |
| 4.2. Asignación dinámica de memoria a las variables, bajo una hipótesis restringida . . . . .                            | 239 |
| 4.2.1. <i>El direccionamiento en la pila</i> . . . . .   | 241 |
| 4.2.2. <i>La gestión de la pila</i> . . . . .  | 241 |
| 4.3. Asignación dinámica de la memoria. Caso general . . . . .   | 242 |
| 4.3.1. <i>Direccionamiento en la pila</i> . . . . .  | 244 |
| 4.3.2. <i>Gestión de la pila</i> . . . . .   | 245 |
| 5. Complementos acerca de las máquinas de pilas . . . . .  | 245 |
| 5.1. Relaciones entre la pila de cálculo y la pila de asignación dinámica . . . . .                                      | 245 |
| 5.2. Máquinas de prefijos y de pilas . . . . .   | 246 |

|  |     |
|--|-----|
| 5.2.1. <i>Ejemplo 1: Gestión de la pila cableada en los Burroughs B6500 y B7500</i> . . . . .            | 246 |
| 5.2.2. <i>Ejemplo 2: Direccionamiento de las procedures y de los vectores</i> . . . . .                  | 246 |
| 5.2.3. <i>Ejemplo 3: Transmisión de argumentos por nombre</i> . . . . .                                  | 247 |
| 6. Retorno a los conceptos de base, a la clasificación y a la evolución de los ordenadores . . . . .     | 248 |
| 6.1. Conceptos de base . . . . .   | 248 |
| 6.1.1. <i>Máquina fundada sobre el concepto de operación</i> . . . . .                                   | 248 |
| 6.1.2. <i>Máquinas fundadas sobre el concepto de expresión</i> . . . . .                                 | 248 |
| 6.2. Evolución de los conceptos . . . . .  | 248 |
| 6.2.1. <i>Evolución de las máquinas de registros</i> . . . . .   | 248 |
| 6.2.2. <i>Evolución de las máquinas de pilas</i> . . . . .   | 249 |
| 6.3. Otras máquinas digitales . . . . .  | 249 |
| <b>Capítulo 10. Dispositivos para la gestión de la multiprogramación</b>                                 |     |
| 1. Los problemas de la multiprogramación . . . . .   | 251 |
| 1.1. Multiprogramación sin interrupción de programa . . . . .  | 251 |
| 1.2. Multiprogramación con interrupción de programa . . . . .  | 251 |
| 1.3. Multiprogramación en tiempo compartido . . . . .  | 251 |
| 2. Gestión de la memoria central . . . . .   | 252 |
| 2.1. Problemas de la traslación de dirección . . . . .   | 253 |
| 2.1.1. <i>Utilización, por parte de varios programas, de un segmento común</i> . . . . .                 | 254 |
| 2.1.2. <i>Utilización simultánea, por parte de un mismo programa, de varias zonas de datos</i> . . . . . | 255 |
| 2.2. Implantación en memoria central . . . . .   | 255 |
| 2.3. Técnicas de paginación con topografía de memoria . . . . .  | 256 |
| 2.3.1. <i>Modelo simplificado de paginación</i> . . . . .  | 257 |
| 2.3.1.1. <i>Organización de las memorias</i> . . . . .   | 257 |
| 2.3.1.2. <i>El dispositivo de topografía de la memoria central</i> . . . . .                             | 258 |
| 2.3.1.3. <i>Técnica de direccionamiento por registros asociativos</i> . . . . .                          | 258 |
| 2.3.2. <i>Direccionamiento en los sistemas con topografía incompleta de memoria</i> . . . . .            | 259 |
| 2.3.3. <i>Sustitución de las páginas</i> . . . . .   | 260 |
| 2.3.4. <i>Paginación y segmentación</i> . . . . .  | 261 |
| 2.3.4.1. <i>Limitación de las tablas</i> . . . . .   | 261 |
| 2.3.4.2. <i>Ejemplo de memorias virtuales de gran capacidad</i> . . . . .                                | 263 |
| 2.3.5. <i>Compartición de un programa entre varios usuarios, en un contexto de paginación</i> . . . . .  | 263 |
| 3. Protección de los programas y de los datos . . . . .  | 264 |
| 3.1. Protección de las informaciones en memoria central . . . . .  | 264 |
| 3.1.1. <i>Digito de protección</i> . . . . .   | 265 |
| 3.1.2. <i>Llave y cerradura de protección</i> . . . . .  | 265 |
| 3.1.3. <i>Registros límites.</i> . . . . .   | 265 |
| 3.1.4. <i>Barrera contra escritura</i> . . . . .   | 265 |
| 3.1.5. <i>Caso de las máquinas de pilas</i> . . . . .  | 265 |
| 3.1.6. <i>Caso de las máquinas paginadas</i> . . . . .   | 265 |



|  |     |
|--|-----|
| 3.2. Protección de los ficheros en memorias auxiliares                       | 266 |
| 3.3. Protección del funcionamiento de la máquina                             | 266 |
| 4. Cambio de contexto en los cambios de programa                             | 266 |
| 4.1. Preservación del estado del programa                                    | 267 |
| 4.2. Preservación de los otros registros de las máquinas                     | 267 |
| <b>Capítulo 11. El paralelismo en los grandes monoprocesadores</b>           |     |
| 1. La carrera en busca de las altas velocidades                              | 270 |
| 1.1. Limitaciones de la tecnología   | 270 |
| 1.2. La arquitectura de los ordenadores y las altas velocidades              | 270 |
| 2. Arquitectura pipe-line  | 271 |
| 2.1. Operadores pipe-line y operadores paralelos                             | 271 |
| 2.1.1. Estructura pipe-line del operador de suma flotante                    | 272 |
| 2.1.2. Organización pseudo-pipe-line   | 273 |
| 2.2. Las máquinas pipe-line  | 273 |
| 2.2.1. Problemas de paralelismo en los computadores pipe-line                | 274 |
| 2.2.1.1. Control del flujo de informaciones                                  | 275 |
| 2.2.1.2. Conflictos de paralelismo   | 275 |
| 2.2.1.3. Resumen acerca de las dificultades de paralelismo                   | 277 |
| 2.2.2. Descripción general de un ordenador pipe-line                         | 277 |
| 2.3. Gestión de la memoria central   | 281 |
| 2.3.1. Bifurcación de las informaciones leídas en la memoria                 | 282 |
| 2.3.2. Gestión de los conflictos de acceso al nivel de los bancos de memoria | 282 |
| 2.3.3. Gestión de las prioridades de acceso a la memoria                     | 283 |
| 2.3.4. Gestión de los problemas de dependencia                               | 284 |
| 2.3.5. Gestión de los accesos múltiples                                      | 284 |
| 2.4. Gestión de la pila de instrucciones                                     | 286 |
| 2.4.1. La unidad de instrucción  | 286 |
| 2.4.2. Estados de funcionamiento de la pila de instrucciones                 | 286 |
| 2.4.3. Dispositivos básicos del algoritmo de Tomasulo                        | 286 |
| 2.4.3.1. Inicialización de la pila de instrucciones                          | 286 |
| 2.4.3.2. Funcionamiento normal de la pila de instrucciones                   | 286 |
| 2.4.3.3. Discontinuidades en el funcionamiento de la pila                    | 287 |
| 2.5. Gestión de una unidad aritmética: el algoritmo de Tomasulo              | 288 |
| 2.5.1. Método del bit de bloqueo   | 289 |
| 2.5.2. Crítica del método de bit de bloqueo                                  | 290 |
| 2.5.3. Dispositivos básicos del algoritmo de Tomasulo                        | 291 |
| 2.5.4. Descripción del algoritmo de Tomasulo                                 | 293 |
| 2.6. El futuro de la arquitectura pipe-line                                  | 295 |
| 3. Jerarquización de las memorias  | 297 |
| 3.1. Principio de las memorias centrales jerarquizadas                       | 297 |
| 3.2. Concepto de extensión de la memoria central                             | 298 |
| 3.2.1. Transferencias entre niveles de memoria                               | 298 |
| 3.2.2. Funciones relativas de los dos niveles de memoria                     | 299 |
| 3.3. El concepto de antememoria en un ordenador del tipo Von Neuman          | 299 |
| 3.4. El concepto de memoria tampón en una máquina de pilas                   | 302 |

|  |     |
|--|-----|
| 3.5. El futuro de las memorias centrales jerarquizadas                       | 302 |
| <b>Capítulo 12. Multiprocesadores y máquinas paralelas.</b>                  |     |
| 1. Definición y conceptos básicos  | 304 |
| 1.1. Conceptos de multiprocesamiento y de paralelismo explícito              | 304 |
| 1.1.1. Concepto de multiprocesamiento: los multiprocesadores                 | 304 |
| 1.1.2. Concepto de paralelismo explícito: las máquinas paralelas             | 304 |
| 1.2. Relaciones entre diferentes conceptos                                   | 304 |
| 1.2.1. Paralelismo explícito y formas implícitas de paralelismo              | 304 |
| 1.2.2. Multiprocesamiento y multiprogramación                                | 305 |
| 1.2.3. Multiprocesamiento y simultaneidad de entradas-salidas                | 305 |
| 1.2.4. Multiprocesamiento y multiprocesadores                                | 305 |
| 1.2.5. Multiprocesadores y multiprocesadores                                 | 305 |
| 1.2.6. Multiprocesadores y multicalculadores                                 | 305 |
| 1.2.7. Resumen sobre las estructuras de alta velocidad                       | 306 |
| 2. Multiprocesadores   | 306 |
| 2.1. Las diversas clases de multiprocesadores                                | 307 |
| 2.1.1. Sistemas de procesadores idénticos                                    | 307 |
| 2.1.2. Sistemas de procesadores periféricos especializados                   | 307 |
| 2.1.3. Multiprocesadores modulares descompuestos                             | 307 |
| 2.2. Problemas generales de los multiprocesadores                            | 307 |
| 2.2.1. Aumento de la eficacia  | 307 |
| 2.2.2. Aumento de disponibilidad   | 307 |
| 2.2.3. Problemas de interconexiones  | 308 |
| 2.2.4. Comunicaciones entre procesadores                                     | 308 |
| 2.3. Sistemas de multi-unidades centrales                                    | 308 |
| 2.3.1. Interconexiones entre procesadores y memoria central                  | 309 |
| 2.3.1.1. Interconexión por línea omnibus                                     | 309 |
| 2.3.1.2. Interconexión matricial   | 309 |
| 2.3.2. Intercomunicaciones a través de la memoria                            | 309 |
| 2.3.3. Interconexiones entre procesadores y canales                          | 310 |
| 2.3.3.1. Solución con procesadores y canales acoplados de 2 en 2             | 310 |
| 2.3.3.2. Solución con un procesador maestro                                  | 311 |
| 2.3.3.3. Solución con procesadores y canales banalizados                     | 312 |
| 2.3.4. Los rendimientos  | 313 |
| 2.3.5. Partición y reconfiguración   | 313 |
| 2.4. Multiprocesador por compartición de los circuitos de una unidad central | 313 |
| 2.5. Sistemas con procesadores especializados                                | 314 |
| 2.6. Multiprocesadores modulares   | 316 |
| 2.7. Multiprocesadores modulares descompuestos                               | 317 |
| 2.7.1. Sistemas de elevados rendimiento y disponibilidad                     | 317 |
| 2.7.2. Sistemas de muy elevada disponibilidad                                | 319 |
| 3. Máquinas de paralelismo explícito   | 320 |
| 3.1. Máquinas de programas en malla  | 321 |
| 3.2. Máquinas celulares  | 321 |



|   |     |
|---|-----|
| 3.2.1. Máquinas con control centralizado y máquinas con control distribuido . . . | 321 |
| 3.2.2. La organización Solomon . . . . .  | 322 |
| 3.2.3. ILLIAC IV . . . . .  | 323 |
| 3.2.3.1. Presentación general . . . . .   | 323 |
| 3.2.3.2. Instrucciones y direccionamiento . . . . .                               | 324 |
| 3.2.3.3. Control local . . . . .  | 324 |
| 3.2.3.4. Partición de los procesadores . . . . .                                  | 324 |
| 3.2.3.5. Partición de la matriz . . . . .   | 324 |
| 3.2.3.6. Organización de la memoria . . . . .                                     | 324 |
| 3.2.3.7. Interconexiones . . . . .  | 325 |
| 3.2.4. El futuro de las máquinas celulares . . . . .                              | 325 |
| Bibliografía . . . . .  | 328 |
| Glosario . . . . .  | 334 |
| Léxico . . . . .  | 357 |